

Tema 7: Sistema de Memoria

7.1- Ejercicio

7.2- Espacio Direccional

7.3- Mapa de Memoria

Elementos del Mapa de Memoria

Organización del Mapa de Memoria

Diseño del Mapa de Memoria

7.4- Diseño de un Dispositivo de Memoria

7.5- Ejercicios Propuestos

7.6- Jerarquía de Memoria

Jerarquía de Un Nivel

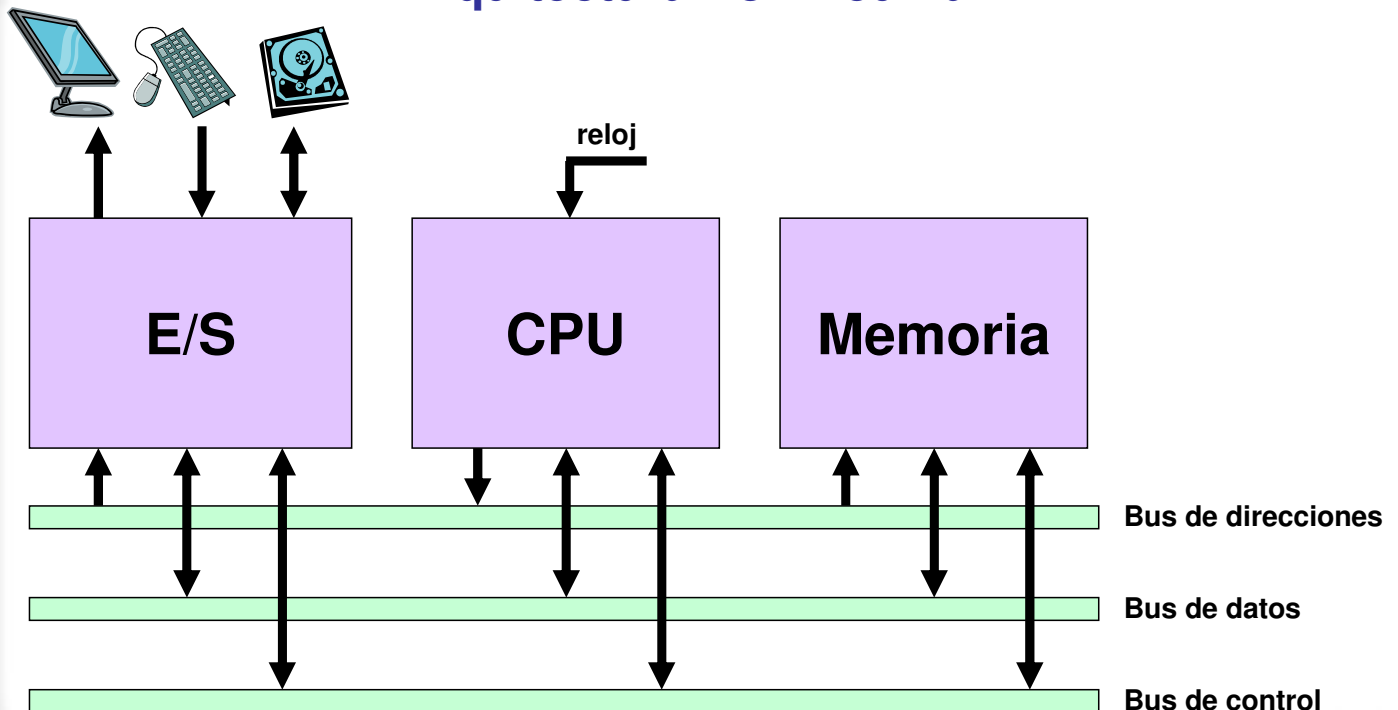
Jerarquía de Dos Niveles

Jerarquía de Tres Niveles

Jerarquía de Cuatro Niveles

3.2- Unidades funcionales y principios de funcionamiento

Arquitectura Von Neumann



PROBLEMA

Primera Parte

Diseñar un dispositivo de memoria de organización **1Mx8** usando el menor número posible de chips de organización **256Kx2**

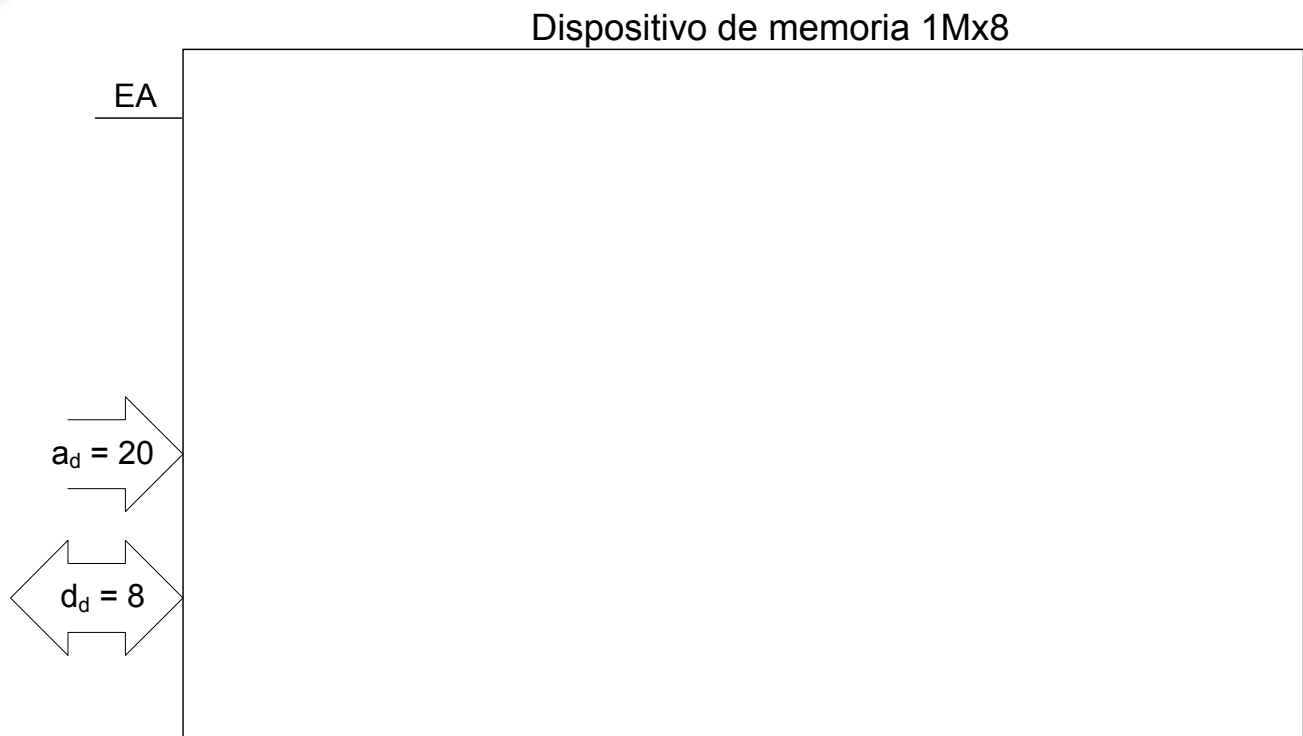


Ejercicio del Sistema de Memoria - Introducción

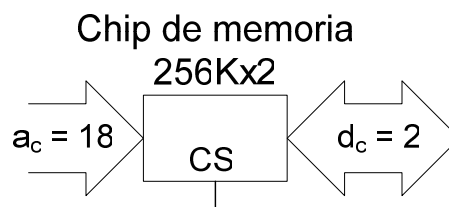
- La organización de los sistemas de memoria se especifica como $M \times N$. Partiendo de esta información se puede determinar el número de líneas de dirección a ($2^a = M$) y el número de líneas de datos d ($d = N$).
- Dispositivo de organización 1Mx8:
 - $M_d = 1M$, implica que $a_d = 20$
 - $N_d = 8$, implica que $d_d = 8$
- Chip de organización 256Kx2:
 - $M_c = 256K$, implica que $a_c = 18$
 - $N_c = 2$, implica que $d_c = 2$



Ejercicio del Sistema de Memoria – Diseño del Dispositivo I

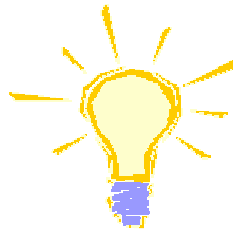


Ejercicio del Sistema de Memoria – Diseño del Dispositivo II



Ejercicio del Sistema de Memoria - Diseño del Dispositivo III

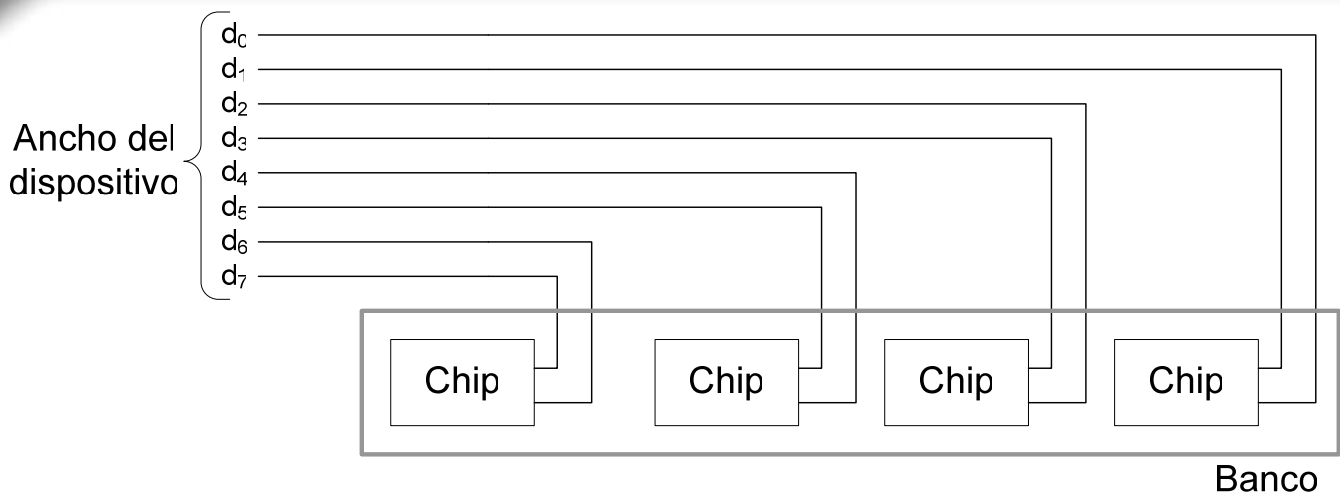
- El dispositivo de memoria necesita 8 líneas de datos
- El chip de memoria dispone de 2 líneas de datos



- Utilizando 4 chips de memoria se consiguen 8 líneas de datos (4 chips por 2 líneas de datos por chip igual a 8 líneas de datos)



Ejercicio del Sistema de Memoria – Diseño del Dispositivo IV



- **BANCO**: conjunto de chips que en colaboración soportan un conjunto de palabras del dispositivo de memoria
- El dispositivo de memoria se va a organizar como un conjunto de bancos, tantos como sean necesarios para cubrir todas las palabras del dispositivo

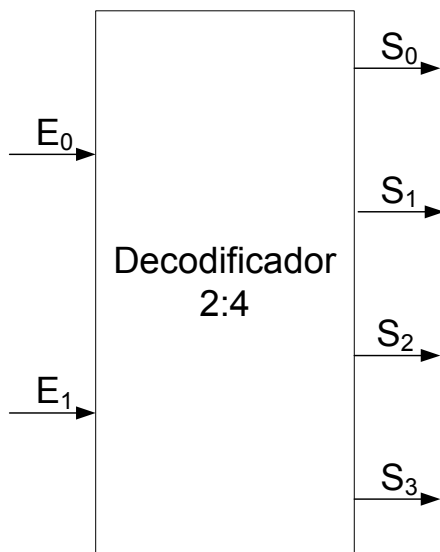


Ejercicio del Sistema de Memoria - Diseño del Dispositivo V

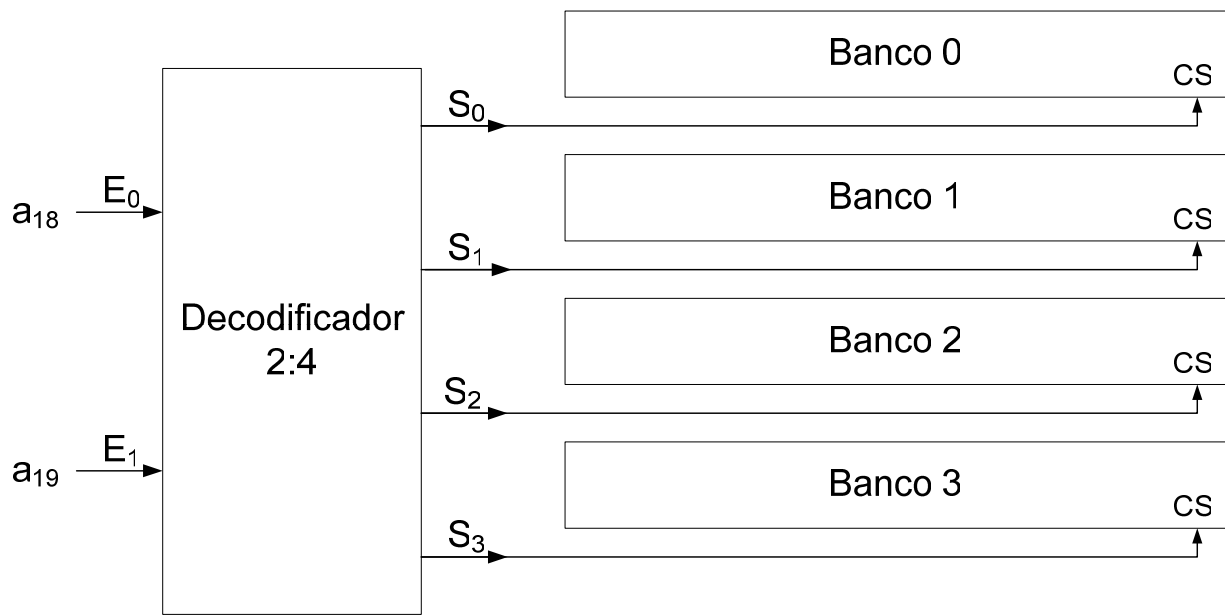
- El dispositivo de memoria necesita 20 líneas de direcciones
- El chip de memoria dispone de 18 líneas de direcciones
- Regla general: las líneas que sobren van a un decodificador
 - Sobran 2 líneas de las 20, las de mayor peso (a_{19} y a_{18})
 - Las dos líneas son entradas a un decodificador, por tanto se debe utilizar un decodificador 2:4
 - El decodificador se utilizará para gestionar la habilitación (CS) de los bancos
 - Por cada línea de salida del decodificador se tendrá un banco
 - Cada salida del decodificador se conectará a la entrada CS de todos los chips de uno de los bancos



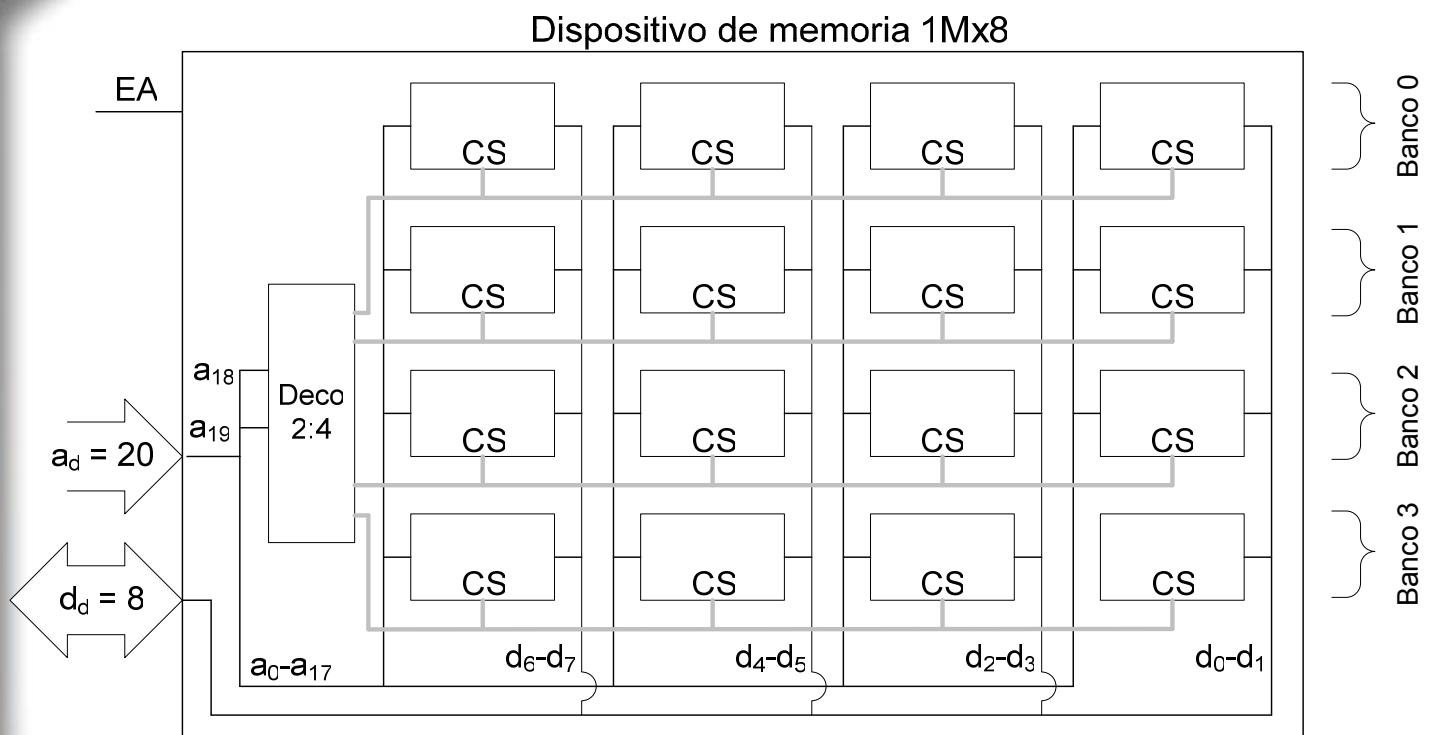
Ejercicio del Sistema de Memoria - Diseño del Dispositivo VI



Ejercicio del Sistema de Memoria - Diseño del Dispositivo VII



Ejercicio del Sistema de Memoria - Diseño del Dispositivo VIII



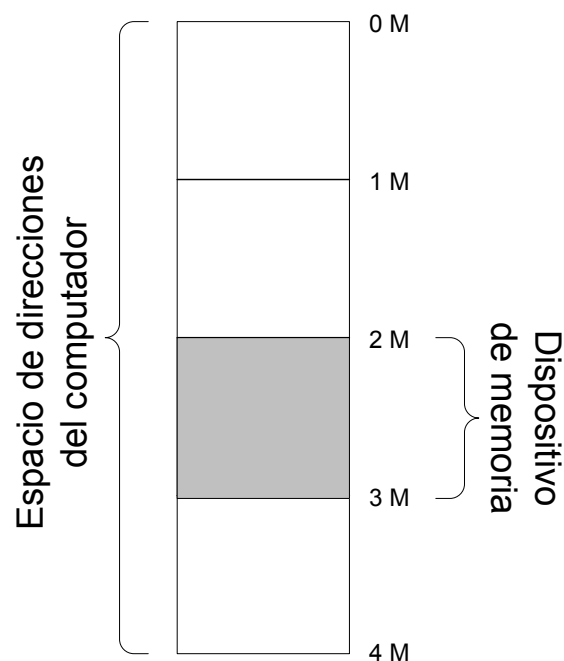
PROBLEMA

Segunda Parte

Mapear el dispositivo diseñado (**1Mx8**) en el sistema de memoria de un computador con un espacio de direcciones de **4Mx8** a partir de la mitad de rango de direcciones



Ejercicio del Sistema de Memoria – Mapeo I



Ejercicio del Sistema de Memoria – líneas de dirección

- La organización de los sistemas de memoria se especifica como $M \times N$. Partiendo de esta información se puede determinar el número de líneas de dirección a ($2^a = M$) y el número de líneas de datos d ($d = N$).
- Dispositivo de organización $1M \times 8$:
 - $M_d = 1M$, implica que $a_d = 20$
 - $N_d = 8$, implica que $d_d = 8$
- Espacio de direcciones $4M \times 8$:
 - $M_e = 4M$, implica que $a_e = 22$
 - $N_e = 8$, implica que $d_e = 8$

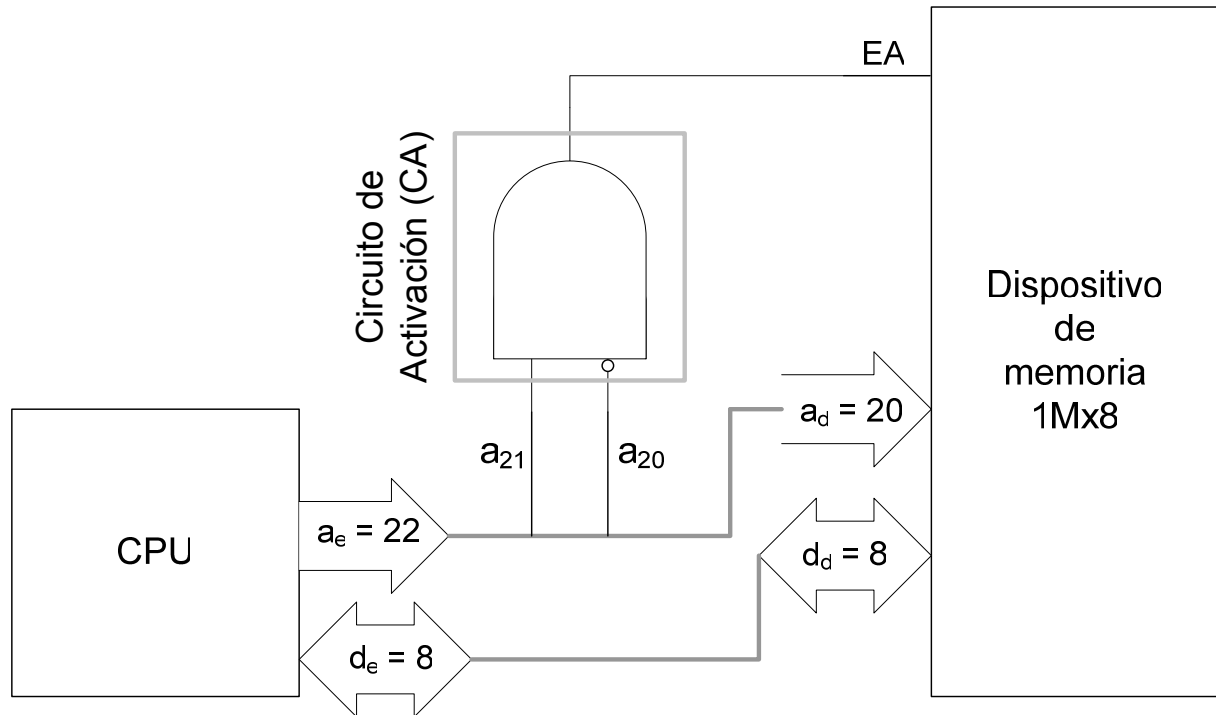


Ejercicio del Sistema de Memoria – Mapeo II

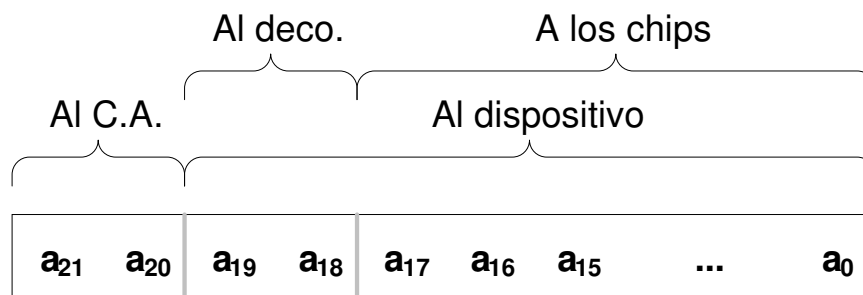
a_{21}	a_{20}	a_{19}	...	a_0	Hexadecimal	
0	0	0	...	0	000000	1 M
0	0	1	...	1	0FFFFFF	
0	1	0	...	0	100000	1 M
0	1	1	...	1	1FFFFFF	
1	0	0	...	0	200000	1 M
1	0	1	...	1	2FFFFFF	
1	1	0	...	0	300000	1 M
1	1	1	...	1	3FFFFFF	



Ejercicio del Sistema de Memoria – Mapeo III



Ejercicio del Sistema de Memoria – Mapeo IV



- ¿Cuál es la organización de un banco?
- Si se numeran los chips de izquierda a derecha y de arriba abajo empezando por el cero, ¿a qué chip se accederá al leer el bit de peso 5 de una palabra en la dirección 204F8Bh?
- Si se utilizasen chips de organización 512Kx4, ¿cuántos chips serían necesarios para construir el dispositivo?, ¿qué tipo de decodificador sería necesario?, ¿qué otra alternativa más sencilla se podría plantear en este caso al decodificador?
- Si el dispositivo fuese de organización 256Kx8, ¿cuántos chips serían necesarios?, ¿cuántas líneas de dirección serían entradas del circuito de activación?



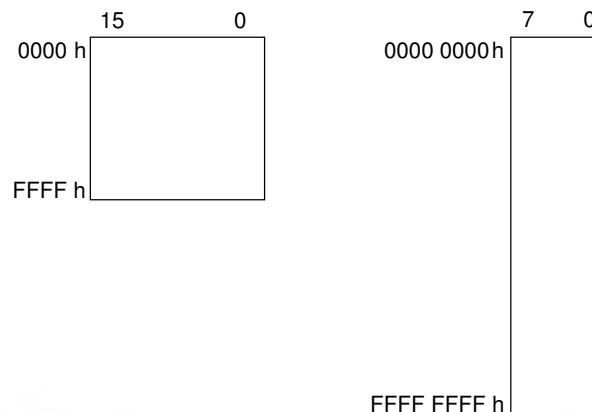
Espacio Direccional

Número total de direcciones a las que puede acceder el procesador

Depende del ancho (a) del bus de direcciones → $N^{\circ} \text{ Dir} = 2^a$

Ejemplos

- CPU teórica → Bus direcciones: 16 líneas → 2^{16} → 64 K
- Pentium → Bus direcciones: 32 líneas → 2^{32} → 4 G



Mapa de Memoria

El mapa de memoria es la organización del espacio direccionable

Define lo que hay en cada zona del espacio direccionable

→ Diversos tipos de memoria

- RAM
- ROM
- Memoria de vídeo
- Memoria de controladores de periféricos
- Registros de controladores de periféricos

Parte del espacio direccionable por un procesador puede estar vacío

Ejemplo → Pentium

- Espacio direccionable: 4 G
- Memoria principal instalada \approx 2 G



Elementos del Mapa de Memoria

En el mapa de memoria de un computador hay tres **zonas** soportadas por tres **tipos diferentes de dispositivos**

ROM

Zona de memoria de sólo lectura

Contiene el programa de arranque del computador

- 1) Inicializa todos los elementos básicos del computador (vídeo, teclado, etc.)
- 2) Carga en memoria RAM el código que carga el sistema operativo

En los PC la ROM también contiene un conjunto de rutinas que permiten realizar operaciones elementales de E/S

Se denomina **BIOS** (Basic Input Output System)



Elementos del Mapa de Memoria

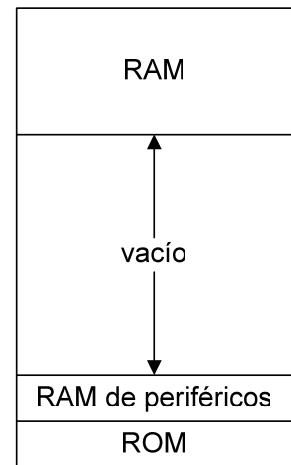
RAM

Zona de memoria de lectura / escritura

Contiene { el Sistema Operativo, y
los programas en ejecución

RAM y Registros de Controladores de Periféricos

Contiene los datos que son leídos / escritos
de / en los dispositivos periféricos



Ejemplo de mapa
de memoria



Organización del Mapa de Memoria

Dos aspectos claves a la hora de definir el mapa de memoria

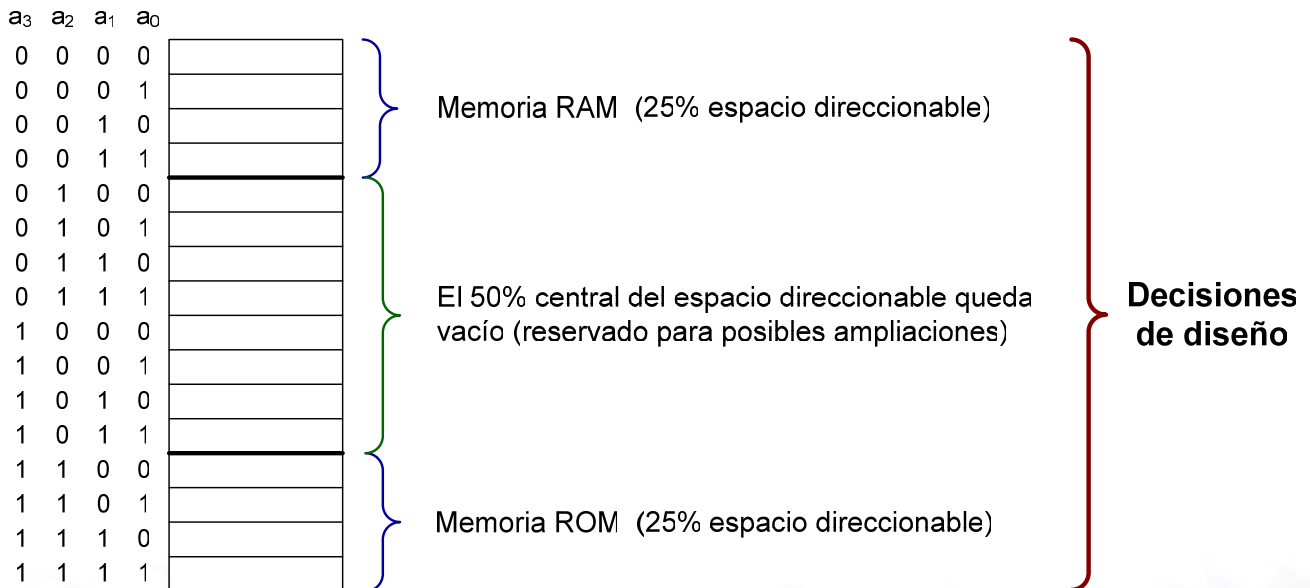
- Organización / Estructura **LÓGICA**
¿Qué zonas hay en el mapa de memoria y qué contiene cada zona?
 - Organización / Estructura **FÍSICA**
¿Cómo se implementa cada zona con un dispositivo de memoria físico concreto?
- ¿Cómo se soporta cada dirección lógica del mapa de memoria en un dispositivo físico?



Diseño del Mapa de Memoria

Ejemplo

Se tiene una CPU con un ancho del bus de direcciones de 4 líneas.
Por tanto, el espacio total de direcciones es $\rightarrow 2^4 = 16$



Diseño del Mapa de Memoria

Ejemplo (continuación)

Pasos a realizar

- 1 • Diseñar un módulo de memoria RAM de 4 palabras
Diseñar un módulo de memoria ROM de 4 palabras
- 2 • Hacer corresponder las direcciones de los módulos (dispositivos de memoria) con las direcciones del espacio de memoria

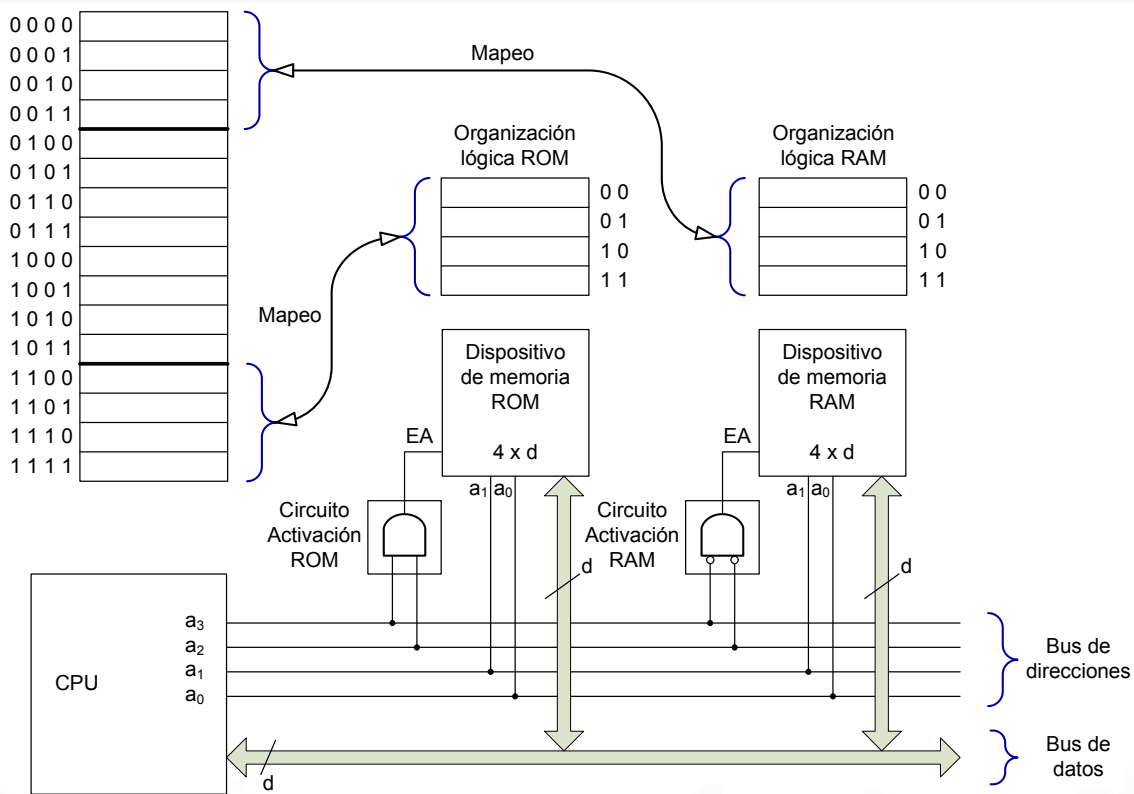


Cuando la CPU coloca una dirección concreta en el bus de direcciones, debe responder **SÓLO** un dispositivo de memoria

→ Se deben utilizar elementos de **selección**



Diseño del Mapa de Memoria



Diseño del Mapa de Memoria

Proceso de Mapeo

Situar los rangos de direcciones de los módulos en el espacio de direcciones del sistema

Para ello se utiliza el **circuito de activación del módulo**

Circuito digital que activa el módulo de memoria solamente en el rango de direcciones mapeado

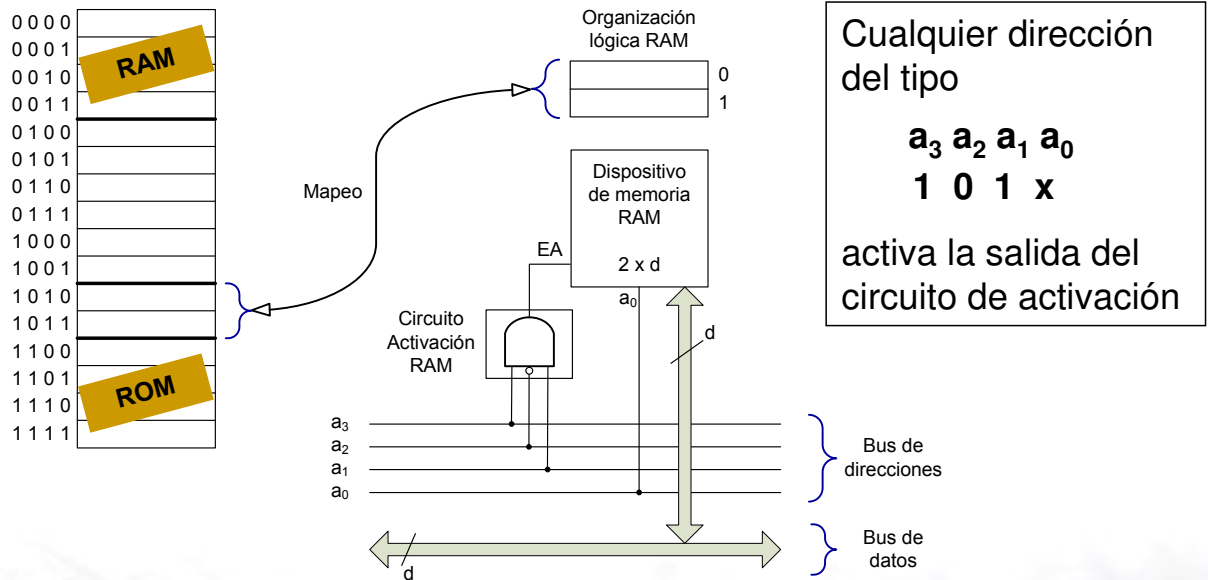
En el ejemplo anterior ...

- Módulo RAM → cualquier combinación del tipo $a_3 a_2 a_1 a_0$ $0 0 x x$ genera un 1 a la entrada EA (entrada de activación) del dispositivo
- Módulo ROM → cualquier combinación del tipo $a_3 a_2 a_1 a_0$ $1 1 x x$ genera un 1 a la entrada EA (entrada de activación) del dispositivo

Diseño del Mapa de Memoria

Ejemplo (continuación)

Se desea incorporar un nuevo módulo de memoria RAM de 2 palabras, que se debe mapear en el rango de direcciones **1010–1011**



Diseño de un Dispositivo de Memoria

Ejercicio

Diseñar un dispositivo de memoria RAM de organización **16x8** utilizando chips de memoria de organización **8x4**.

MxN

Pasos a seguir

- Representación externa del dispositivo de memoria
 - Cálculo del número de chips
 - Decodificación de direcciones
 - Diseño
-
- Tras el diseño del dispositivo de memoria, éste se puede integrar en un mapa de memoria



Diseño de un Dispositivo de Memoria

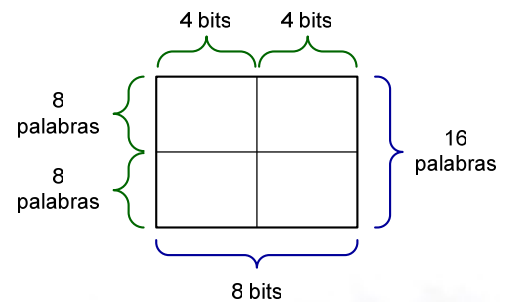
1) Representación externa del dispositivo



2) Cálculo del número de chips (número de circuitos integrados)

$$\text{Filas de Chips} = \frac{\text{Palabras del Dispositivo}}{\text{Palabras del Chip}} = \frac{16}{8} = 2$$

$$\text{Columnas de Chips} = \frac{\text{Ancho Palabra Dispositivo}}{\text{Ancho Palabra Chip}} = \frac{8}{4} = 2$$



Diseño de un Dispositivo de Memoria

3) Decodificación de direcciones

Se ha de calcular el número de líneas necesario para direccionar ...

- las 16 palabras del dispositivo $\rightarrow 2^a = 16 \rightarrow a = 4$ líneas
- las 8 palabras de cada chip $\rightarrow 2^a = 8 \rightarrow a = 3$ líneas

De las 4 líneas de direcciones que llegan al dispositivo

$$\left. \begin{matrix} a_3 & a_2 & a_1 & a_0 \end{matrix} \right\} \begin{matrix} a_3 \rightarrow \text{se decodifica} \\ a_2 & a_1 & a_0 \rightarrow \text{se llevan a cada chip} \end{matrix}$$

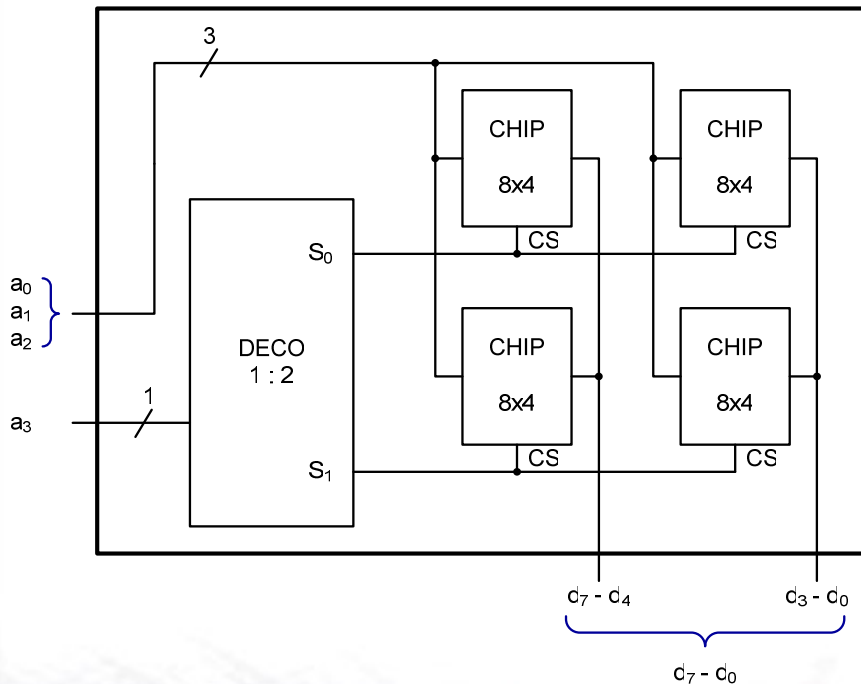
$$\text{Número de líneas a decodificar} = \left(\text{Número de líneas que necesita el dispositivo} - \text{Número de líneas que necesita cada chip} \right)$$



Diseño de un Dispositivo de Memoria

4) Diseño

Organización FÍSICA



Organización LÓGICA

a_3	a_2	a_1	a_0	Dirección	$d_7 - d_0$
0	0	0	0	0	
0	0	0	1	1	
0	0	1	0	2	
0	0	1	1	3	
0	1	0	0	4	
0	1	0	1	5	
0	1	1	0	6	
0	1	1	1	7	
1	0	0	0	8	
1	0	0	1	9	
1	0	1	0	A	
1	0	1	1	B	
1	1	0	0	C	
1	1	0	1	D	
1	1	1	0	E	
1	1	1	1	F	

BANCO 0 (direcciones 0-7)
 BANCO 1 (direcciones 8-F)

Líneas de dirección que llegan a todos los chips: a_3, a_2, a_1, a_0
 Línea de dirección que selecciona el banco: a_3



Diseño de un Dispositivo de Memoria

5) Integración del dispositivo en un mapa de memoria

Se dispone de una CPU con bus de direcciones de 6 bits
 $2^6 = 64$ direcciones de memoria

En este espacio de direcciones caben 4 dispositivos de memoria como el diseñado en este ejemplo

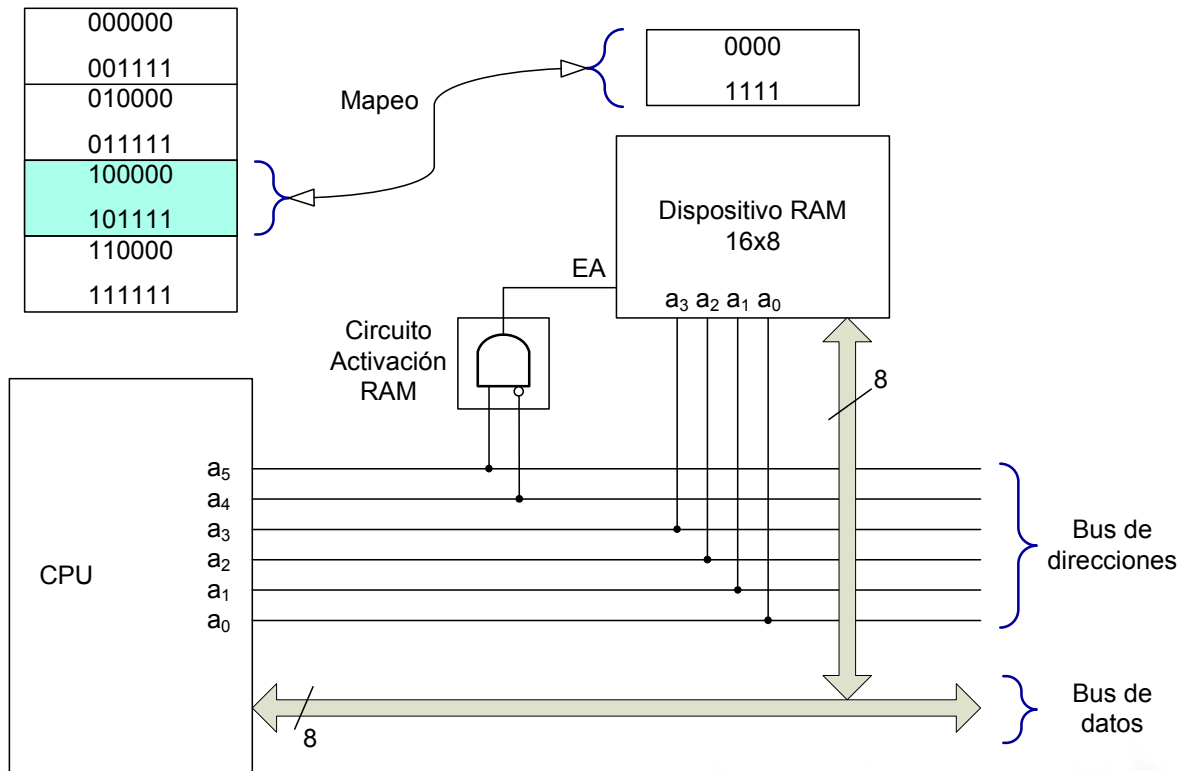
→ Mapear en el rango 100000b – 101111b

000000
001111
010000
011111
100000
101111
110000
111111

El rango de direcciones 0h – Fh del dispositivo de memoria quedará mapeado en el rango 20h – 2Fh del espacio de direcciones del computador



Diseño de un Dispositivo de Memoria



Ejercicios Propuestos

EJERCICIO 1

Se dispone de una CPU con bus de direcciones de 8 líneas. Ubicar un dispositivo de 16 palabras en el rango 50h – 5Fh. Dibujar el circuito selector que activa el dispositivo de memoria.

EJERCICIO 2

Diseñar un dispositivo de memoria que ocupe el 25% del espacio de direcciones del computador elemental, utilizando chips de organización 1Kx1. ¿Cuántos chips se necesitan?



EJERCICIO 3

Para construir un dispositivo de memoria se utilizan chips con 6 líneas de dirección y con 4 líneas de datos. El dispositivo usa 16 chips organizados en 8 bancos.

¿Cuál es la organización MxN del dispositivo de memoria?

EJERCICIO 4

Se dispone de un dispositivo de memoria de organización 1024x8 construido mediante chips que reciben 5 líneas de dirección y 4 líneas de datos.

¿Cuántos bancos de memoria tiene este dispositivo?

¿Cuántos chips de memoria integran el dispositivo?



EJERCICIO 5

En un computador basado en la CPU elemental se han mapeado los primeros 16K en un dispositivo de memoria RAM y los siguientes 8K en un dispositivo de memoria ROM. Para construir el dispositivo de memoria RAM se han utilizado chips de organización 512x8.

- ¿Cuál es el rango de direcciones del banco 1 del dispositivo de memoria RAM?
- ¿Cuál es la organización lógica de un banco en el dispositivo de memoria RAM?
- Por cuestiones de espacio en el dispositivo de memoria ROM sólo se pueden utilizar 4 chips que cubren las 8k palabras. Indicar dos posibles organizaciones lógicas para construir el dispositivo de memoria ROM.
- Dibujar el circuito de activación del dispositivo de memoria ROM.



Jerarquía de Memoria

El sistema de memoria de un computador debe tener dos cualidades básicas {
elevada **capacidad**
gran **rapidez** (de respuesta)

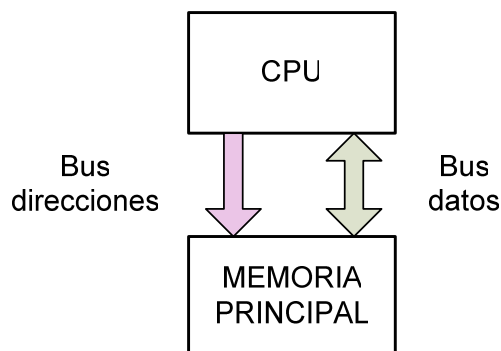
Actualmente hay dos tecnologías de memoria para construir el sistema de memoria de un computador

Tipo de chip de memoria	Rapidez	Consumo Disipación de calor	Capacidad de memoria instalable
SRAM	↑	↑	↓ Pequeña
DRAM	↓	↓	↑ Grande



Jerarquía de Memoria

JERARQUÍA DE UN NIVEL



Problema: Si la memoria se construye con

- **DRAM** → Tamaño aceptable
Velocidad acceso inaceptable
- **SRAM** → Tamaño inaceptable
Velocidad acceso aceptable

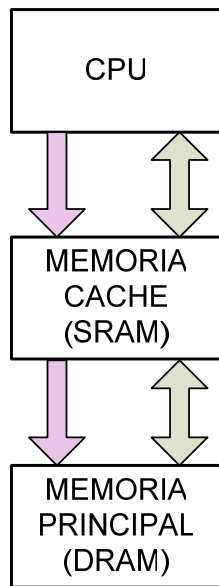
Este problema surge en los computadores actuales debido a que la velocidad de la memoria DRAM es mucho menor que la de la CPU

No existía en los computadores antiguos (con procesadores 386 y anteriores) debido a que la velocidad de la memoria era más o menos igual a la de la CPU



Jerarquía de Memoria

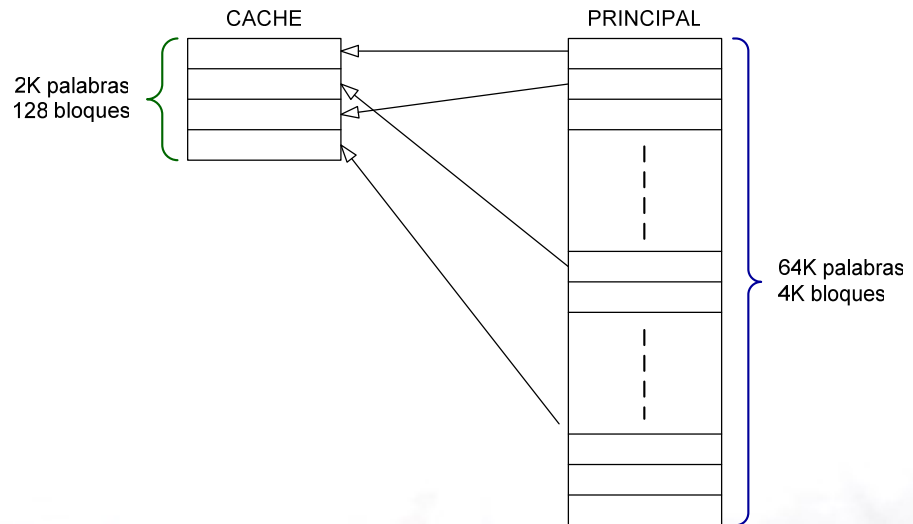
JERARQUÍA DE DOS NIVELES



Para conseguir elevada capacidad y gran rapidez, se usan dos niveles de memoria

El espacio direccionable se divide en bloques

Ejemplo: 16 palabras / bloque



Jerarquía de Memoria

JERARQUÍA DE DOS NIVELES

Cuando la CPU solicita ...

- **leer** el contenido de una posición de memoria → si está en la caché la obtiene rápidamente, si no previamente se copia el bloque de memoria principal que contiene la posición solicitada en la caché y, posteriormente, se envía el dato a la CPU
- **escribir** en una posición de memoria → si está en la caché la escribe rápidamente, si no previamente hay que cargar el bloque de memoria principal que contiene la posición a escribir en la caché y, posteriormente, se escribe el dato en dicha posición

Si se necesita cargar un bloque en la caché, y en ésta no hay bloques libres

- 1) Seleccionar un bloque que se va a sobrescribir
- 2) Copiar el contenido del bloque de caché en memoria principal
- 3) Cargar el nuevo bloque de memoria principal en el espacio liberado en memoria caché



Jerarquía de Memoria

JERARQUÍA DE DOS NIVELES

La utilización de memoria caché **NO AMPLÍA** el rango de direcciones de la memoria principal.

Tan solo permite que la memoria principal aparezca ante la CPU como una memoria más rápida de lo que realmente es.

¿Por qué funciona este mecanismo?

Porque la ejecución de código de un programa

cumple los principios de { localidad **ESPACIAL** →
localidad **TEMPORAL** →

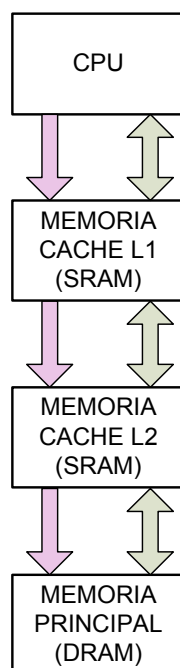
Los programas se cargan en memoria en un rango de direcciones contiguo y no muy extenso. Cuando se ejecuta una rutina se está usando un rango muy pequeño del espacio de direcciones → la rutina podría estar en la caché

Durante la ejecución de un programa, en un período dado se ejecuta una rutina concreta, en otro período otra rutina



Jerarquía de Memoria

JERARQUÍA DE TRES NIVELES



JERARQUÍA DE CUATRO NIVELES

