

PASOS DE CADA INSTRUCCIÓN DE LA CPU TEÓRICA

Cada instrucción consta de una serie de ciclos o pasos de ejecución en los que se establecen las señales de control que la UC debe generar para ejecutar la instrucción, debiéndose cumplir la siguiente regla: **“El bus interno no podrá contener dos valores distintos en el mismo paso de ejecución”**, ya que de lo contrario podríamos tener un cortocircuito en las líneas del bus interno. De este modo los ciclos o pasos de ejecución serán **ciclos de ocupación del bus**.

El número de pasos dependerá de la instrucción a ejecutar así como las señales a generar en cada paso, sin embargo los tres primeros pasos de todas las instrucciones son comunes y su función es cargar en IR la instrucción a ejecutar e incrementar el contador de programa (PC).

A continuación se describen los pasos en los que se descompone cada instrucción.

Pasos comunes a todas las instrucciones	
Paso 1	PC-IB, IB-MAR, TMPE_CLR, CARRY_IN, ADD, ALU-TMPS, READ
Paso 2	TMPS-IB, IB-PC
Paso 3	MDR-IB, IB-IR

NOP	
Paso 4	FIN

MOV Rd,Rs	
Paso 4	Rs-IB, IB-Rd, FIN

MOV Rd,[RI]	
Paso 4	Ri-IB, IB-MAR, READ
Paso 5	Ciclo de espera
Paso 6	MDR-IB, IB-Rd, FIN

MOV [RI],Rs	
Paso 4	Ri-IB, IB-MAR
Paso 5	Rs-IB, IB-MDR, WRITE
Paso 6	FIN

MOVL Rd,Inm_8	
Paso 4	IRI-IBI, IBI-RdI, FIN

MOVH Rd,Inm_8	
Paso 4	IRI-IBh, IBh-Rdh, FIN

PUSH Rs	
Paso 4	R7-IB, TMPE_SET, ADD, ALU-TMPS
Paso 5	Rs-IB, IB-MDR
Paso 6	TMPS-IB, IB-R7, IB-MAR, WRITE
Paso 7	FIN

POP Rd	
Paso 4	R7-IB, TMPE_CLR, CARRY_IN, ADD, ALU-TMPS, IB-MAR, READ
Paso 5	TMPS-IB, IB-R7
Paso 6	MDR-IB, IB-Rd, FIN

ADD Rd, Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, ADD, ALU_SR, ALU-TMPS
Paso 6	TMPS-IB, IB-Rd, FIN

SUB Rd, Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, SUB, ALU_SR, ALU-TMPS
Paso 6	TMPS-IB, IB-Rd, FIN

OR Rd, Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, OR, ALU_SR, ALU-TMPS
Paso 6	TMPS-IB, IB-Rd, FIN

AND Rd, Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, AND, ALU_SR, ALU-TMPS
Paso 6	TMPS-IB, IB-Rd, FIN

XOR Rd, Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, XOR, ALU_SR, ALU-TMPS
Paso 6	TMPS-IB, IB-Rd, FIN

COMP Rs1, Rs2	
Paso 4	Rs1-IB, IB-TMPE
Paso 5	Rs2-IB, SUB, ALU_SR, FIN

NOT Rd/s	
Paso 4	Rd/s-IB, TMPE_SET, XOR, ALU_SR, ALU-TMPS
Paso 5	TMPS-IB, IB-Rd/s, FIN

INC Rd/s	
Paso 4	Rd/s-IB, TMPE_CLR, CARRY_IN, ADD, ALU_SR, ALU-TMPS
Paso 5	TMPS-IB, IB-Rd/s, FIN

DEC Rd/s	
Paso 4	Rd/s-IB, TMPE_SET, ADD, ALU_SR, ALU-TMPS
Paso 5	TMPS-IB, IB-Rd/s, FIN

NEG Rd/s	
Paso 4	Rd/s-IB, TMPE_CLR, SUB, ALU_SR, ALU-TMPS
Paso 5	TMPS-IB, IB-Rd/s, FIN

CLI	
Paso 4	CLI, FIN

STI	
Paso 4	STI, FIN

INT Inm_8	
Paso 4	R7-IB, TMPE_SET, ADD, ALU-TMPS
Paso 5	SR-IB, IB-MDR
Paso 6	TMPS-IB, IB-R7, IB-MAR, WRITE
Paso 7	R7-IB, TMPE_SET, ADD, ALU-TMPS
Paso 8	PC-IB, IB-MDR
Paso 9	TMPS-IB, IB-R7, IB-MAR, WRITE
Paso 10	Ciclo de espera
Paso 11	IRI-IBI, IB-MAR, READ
Paso 12	Ciclo de espera
Paso 13	MDR-IB, IB-PC, FIN

IRET	
Paso 4	R7-IB, TMPE_CLR, CARRY_IN, ADD, ALU-TMPS, IB-MAR, READ
Paso 5	TMPS-IB, IB-R7
Paso 6	MDR-IB, IB-PC
Paso 7	R7-IB, TMPE_CLR, CARRY_IN, ADD, ALU-TMPS, IB-MAR, READ
Paso 8	TMPS-IB, IB-R7
Paso 8	MDR-IB, IB-SR, FIN

JMP Inm_8	
Paso 4	PC-IB, IB-TMPE
Paso 5	JUMP, ADD, ALU-TMPS
Paso 6	TMPS-IB, IB-PC, FIN

JMP Rx	
Paso 4	Rx-IB, IB-PC, FIN

CALL Inm_8	
Paso 4	R7-IB, TMPE_SET, ADD, ALU-TMPS
Paso 5	PC-IB, IB-MDR, IB-TMPE
Paso 6	TMPS-IB, IB-R7, IB-MAR, WRITE
Paso 7	JUMP, ADD, ALU-TMPS
Paso 8	TMPS-IB, IB-PC, FIN

CALL Rx	
Paso 4	R7-IB, TMPE_SET, ADD, ALU-TMPS
Paso 5	PC-IB, IB-MDR
Paso 6	TMPS-IB, IB-R7, IB-MAR, WRITE
Paso 7	Rx-IB, IB-PC, FIN

RET	
Paso 4	R7-IB, TMPE_CLR, CARRY_IN, ADD, ALU-TMPS, IB-MAR, READ
Paso 5	TMPS-IB, IB-R7
Paso 6	MDR-IB, IB-PC, FIN

BR_cond_Inm8 (Cond es Cierto)	
Paso 4	PC-IB, IB-TMPE
Paso 5	JUMP, ADD, ALU-TMPS
Paso 6	TMPS-IB, IB-PC, FIN
BR_cond_Inm8 (Cond es Falso)	
Paso 4	FIN