



Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta **con letra clara.**

Cada respuesta correcta suma un punto.

Cada respuesta incorrecta, ilegible o vacía no suma ni resta. El total de puntos se dividirá entre el total de preguntas y se multiplicará por 10 para obtener la nota del examen.

Se ha escrito un programa en ensamblador para la CPU teórica. El programa invierte el orden de una cadena texto y convierte minúsculas por mayúsculas y las mayúsculas por X. Por ejemplo la cadena **“Hola”** en **“ALOX”**

Este es un fragmento del programa, las líneas que comienzan por **punto y coma** son comentarios:

```

...
;R0 direccion de la cadena a invertir
    MOVL R0, 00h
    MOVH R0, 05h
;R1 direccion de la cadena destino
    MOVL R1, 04h
    MOVH R1, 05h
;R3 número de caracteres
    MOVH R3,0h
    MOVL R3,4h

;R4 preparamos la mascara para convertir
;mayúsculas a minusculas y detectar
;mayúsculas
    XOR R4,R4,R4
    MOVL R4,20h
;R6 ponemos el código ASCII de la X
    MOVL R6,78h
    MOVH R6,0h
;Comenzamos por el final de la cadena
;origen
    DEC R3
    ADD R0,R0,R3
    INC R3

;;;;;;;;;;;;;
;Inicio del bucle

;R5 carácter a tratar de la cadena origen
    MOV R5,[R0]
    
```

```

;Comprobamos si es mayúscula usando R2
;como registro auxiliar
    AND R2,R5,R4 (1)

    BRNZ 2
;Es mayúscula, debemos poner la 'X' en R5
    MOV R5,R6
    JMP 1 (2)

;Es minúscula, debemos convertir a
;mayuscula
    XOR R5,R5,R4 (3)

;En R5 tenemos la 'X' si era mayúscula o
;la conversión a mayúscula si el carácter
;tratado era minúscula.

;copiamos en la la cadena destino
    MOV [R1],R5

;pasamos al siguiente caracter
    INC R1 (4)
    DEC R0

;comprobamos si hemos terminado
    DEC R3
    BRNZ -1

    JMP -1

...
    
```

— Qué instrucción o instrucciones falta/n en (1)?
AND R2,R5,R4

— Qué instrucción o instrucciones falta/n en (2)?
MOV R5,R6
JMP 1

— Qué instrucción o instrucciones falta/n en (3)?
XOR R5,R5,R4 ó SUB R5,R5,R4

— Qué instrucción o instrucciones falta/n en (4)?
INC R1
DEC R0

— Completa los caracteres que faltan en el interior de las casillas, teniendo en cuenta los caracteres que ya hay y sus códigos ASCII.

41h	61h	68h	6Bh	35h	37h
A	a	h	k	5	7

— Se pretende realizar una función lógica que detecte la presencia de una configuración *capicúa* en una secuencia de tres bits. Expresa la función como suma de minterms. Ejemplo: $S=m_0 + m_3 + m_7$ NOTA: Los subíndices de “m” indican el valor decimal de las entradas.

S=m0+m2+m5+m7

— Indicar el orden de ejecución en este fragmento de código, sabiendo que el registro PC de la CPU teórica contiene inicialmente **1001h**. No incluir en la respuesta las sentencias JMP. En caso de llegar a un bucle sin fin poner puntos suspensivos para indicarlo. Ejemplo: **INS1, INS3, INS2,...**

----	----
1000h	INS1
1001h	JMP 1
1002h	INS2
1003h	INS3
1004h	INS4
1005h	JMP -3
----	----

INS3, INS4, INS3, INS4,...

— Queremos saltar 2 instrucciones cuando el resultado de una operación aritmética previa obtenemos cero como resultado. Codifica en hexadecimal la instrucción de salto condicional que tenemos que emplear.

BRZ 2 ⇔ F402h

— Se ejecuta en una CPU de 8 bits similar a la teórica la instrucción SUB R0, R1, R2. Se sabe además que, justo antes de la ejecución de la instrucción, el registro R1 contenía el código ASCII del carácter 'e' y en el registro R2 el número $-5_{(10)}$ codificado en exceso $Z=7$. Sabiendo que el código ASCII del carácter 'E' es el 69d. ¿Cuál es el valor obtenido en R0 en decimal interpretando el resultado como Complemento a 2?

Resultado: 99d

— En una ALU de tres bits se introducen el número -1 codificado en complemento a 2 y el número -3 codificado en signo-magnitud. ¿Cuáles son los valores de los bits del Registro de Estado después de realizarse la operación OR?

Z: 0 C: 1 O: 0 S: 1

— Se desea ampliar la ALU construida en las prácticas de la asignatura para que aparte de las operaciones habituales (AND, OR, XOR, suma o resta) permita efectuar otras 18 operaciones más. ¿Cuál será el número mínimo de entradas de selección del multiplexor de salida de esta nueva ALU ampliada?. **Contestar en decimal.**

5d

— La CPU integrada en el sistema de control de una máquina de vending similar a la CPU teórica, ha sufrido una avería en su funcionamiento. La avería consiste en que el biestable D, que corresponde al bit más significativo del registro MAR ha quedado inservible. ¿Cuál será el rango de direcciones de memoria con el que se puede utilizar a partir de ese momento?. (responder en la forma XXXXh-YYYYh).

0000h-7FFFh

— Se pretende crear una nueva instrucción para la CPU teórica que permita realizar una operación XOR de un registro de la CPU con el contenido de una posición de memoria y almacenar el resultado en la memoria. El mnemónico de la nueva instrucción es:

EXOR [Ri2], [Ri1], Rs ; [Ri2] ← [Ri1] XOR Rs

Completar la siguiente tabla con las señales de control necesarias en cada paso para implementar esta instrucción.

4	Ri1-IB, IB-MAR, LEER
5	Rs-IB, IB-TMPE
6	XOR, MDR-IB, ALU-TMPS, ALU-SR
7	TMPS-IB, IB-MDR
8	IB-MAR, Escribir, Ri2-IB
9	FIN

— ¿Cuáles de las siguientes afirmaciones son CIERTAS? (Puedes responder "ninguna" si así lo consideras.)

- Los primeros 256 caracteres del código Unicode corresponden al código ASCII ampliado.
- En un circuito combinacional la salida depende en todo momento de los valores que adopten las variables de entrada.
- En la CPU teórica, la instrucción NEG Rd provoca que $C=1$ excepto si $Rd=0000h$.
- Durante la ejecución de una instrucción en la CPU teórica el registro de instrucciones IR contiene el código de la instrucción durante toda la ejecución de la misma.

B, C

— ¿Cuáles de las siguientes afirmaciones son CIERTAS? (puedes responder "ninguna" si así lo consideras)

- Un codificador de 4 entradas se puede implementar utilizando un PLA.
- El contenido de una memoria RAM dinámica (DRAM) está cambiando continuamente debido al refresco.
- En la CPU teórica las instrucciones de movimiento utilizan la ALU para su ejecución.
- Con n bits se pueden representar la misma cantidad de números enteros, utilizando el convenio signo-magnitud que utilizando el convenio exceso a Z.

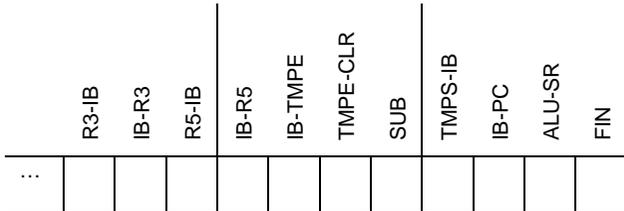
A, C

— ¿Cuál es la diferencia de entradas digitales entre un multiplexor de n-1 entradas de selección y un decodificador de 2^n salidas, siendo $n > 1$?. (tener en cuenta

que las entradas de selección son también entradas digitales).

$2^{n-1}-1$

— En una UC microprogramada para la CPU teórica, las palabras de control se interpretan como se indica en la figura (solamente se muestra los 11 bits menos significativos de la palabra de control).



Para una determinada instrucción se generan las señales de control para las siguientes palabras de control:

Paso 4: 001 0100 0000

Paso 5: 100 0001 0011

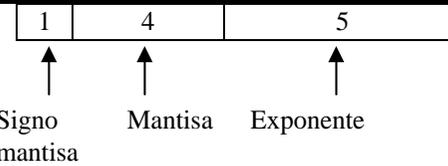
¿Cuál es la codificación de la instrucción que se ejecuta con esas palabras de control? Expresar el resultado en hexadecimal

6D60h (COMP R5,R3)

— ¿Cuántos biestables D se deberían de utilizar para construir un chip de memoria estática que tenga cinco líneas de direcciones y ocho líneas de datos?

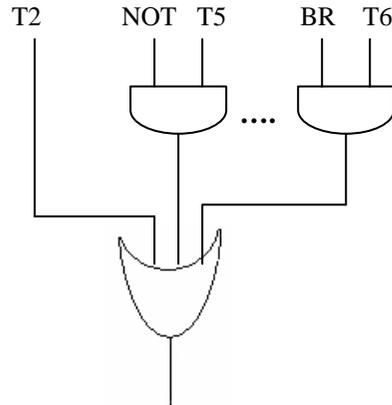
256 Biestables D. Deco 5 / 32. $32 * 8 = 256$.

— En un formato de coma flotante como el que se representa en la figura. En el que la mantisa se representa mediante signo magnitud, y normalizado todo fracción, y el exponente con formato de exceso a Z central. ¿Qué número decimal representa la secuencia de bits 1110110011?



Conclusión: $-0.1101 * 2^3 = -110.1 = -6.5$

— Se muestra una parte del circuito de una UC cableada para generar una determinada señal de control. ¿Qué señal es la que se obtiene en la salida?



TMPS - IB

— ¿Qué número representa en IEEE-754 la secuencia 426C8000h ?

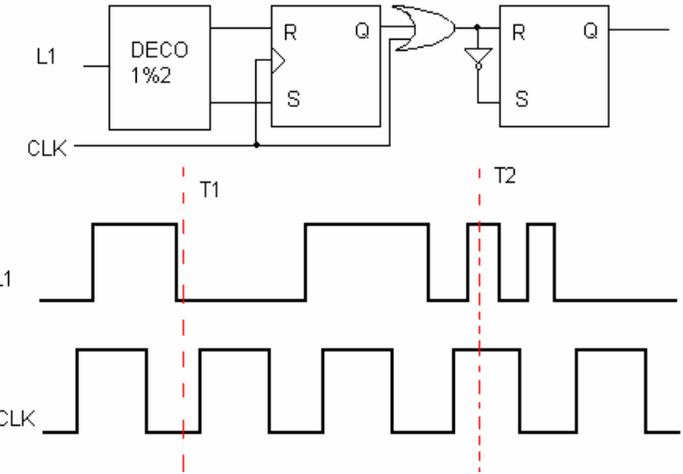
0100 0010 0110 1100 1000 0000 0000 0000
 4 2 6 C 8 0 0 0
 Signo: 0 (positivo) Exponente: 1000100 = 32 - 127 = -5 Mantisa: 110110010000000000000000
 Conclusión: $1.110110010000000000000000 * 2^5 = 111011.001000000000000000 = 111011.001 = 59.125$

— ¿Y la secuencia FF800000h?

Indica overflow // Código de error // -inf

— En la figura siguiente se muestra un circuito combinacional gobernado por las señales L1 y CLK.

¿Qué valores se obtienen en los instantes T1 y T2 a la salida del biestable R-S asíncrono? Las salidas del Deco están numeradas de arriba a abajo como E0 y E1



T1 = 1 T2 = 0

Se sabe que la CPU elemental emplea 24 microsegundos para ejecutar el siguiente fragmento de código.Cuál es la frecuencia de su señal de reloj? (Contestar en MHz)

```
JMP 5
MOVL R0, 3
MOVL R1, 5
ADD R2, R1, R0
COMP R1, R0
BRNZ 2
XOR R1, R0, R2
```

0.5MHz