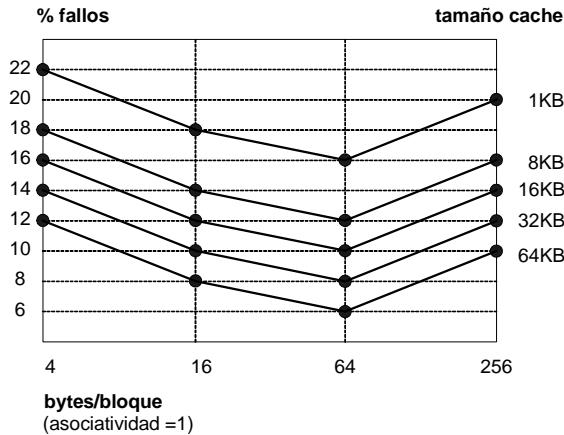


En la figura que sigue se representan las tasas de fallos obtenidas para diferentes diseños de memorias cache durante la ejecución de un cierto programa en un procesador.

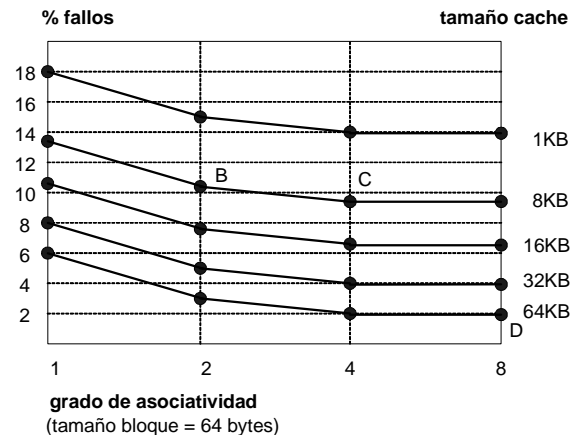
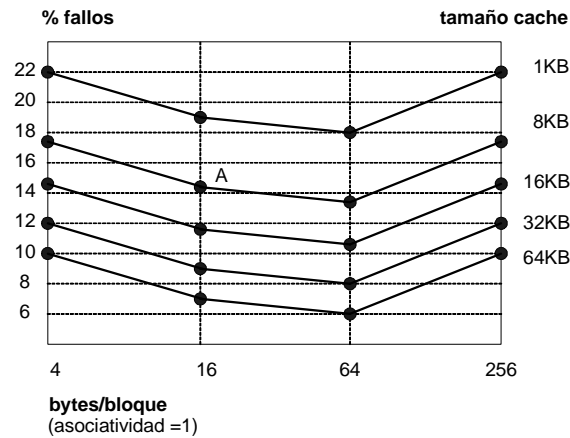


— ¿Cuál es el mayor número de bits en el campo de bloque de las direcciones de memoria con el que trabajan los diseños de cache de la figura?

14

Explicación: El mayor número de bits en el campo bloque se tiene para la caché con mayor tamaño (64-Kb = 2^{16} b) y con bloques del menor tamaño posible (4b/bloque = 2^2 b/bloque). Por tanto, con dividir el tamaño total entre el tamaño de bloque se obtienen 2^{14} bloques y entonces el número de bits en el campo bloque es de 14.

En la figura que sigue se muestran las tasas de fallos obtenidas para diferentes diseños de memorias cache durante la ejecución de un cierto programa en un procesador. En función de los datos de las gráficas responder a las 2 siguientes cuestiones:



— ¿Cuáles son los parámetros de la cache mas eficiente, si la tasa de fallos ha de estar por debajo del 9%?

bytes/bloque= 64 tam.cache=32KB grad.asoc.=4

Explicación: En la primera gráfica ubicamos la tasa de fallos menor de 9% que mejor parámetros tiene para el punto con tamaño cache de 32Kb y un tamaño de bloque de 64b. No compensa duplicar el tamaño de la caché pues ya estamos dentro de la tasa de fallos exigida. En la gráfica 2 podemos ver que para esa caché con la asociatividad 4 se obtiene una tasa de fallos que no se mejora con la de 8. Por tanto, se selecciona la primera que implica un menor número de comparaciones y por tanto mayor eficiencia.

— ¿Ordenar la secuencia de 4 letras correspondientes a los diseños marcados en las figuras, de mayor a menor número de conjuntos en los mismos (Ej. ABCD)?

ADBC

Explicación: Se calcula el número de conjuntos para cada diseño y se ordenan. En el punto A, dado que tiene una asociatividad 1, el número de conjuntos es igual al número de bloques, con lo que se divide el tamaño de caché entre los bytes por bloque. En los otros 3 diseños, dado que cada conjunto esta compuesto por el número de bloques indicado por la asociatividad, se divide el tamaño de la cache entre la asociatividad por el tamaño de bloque.

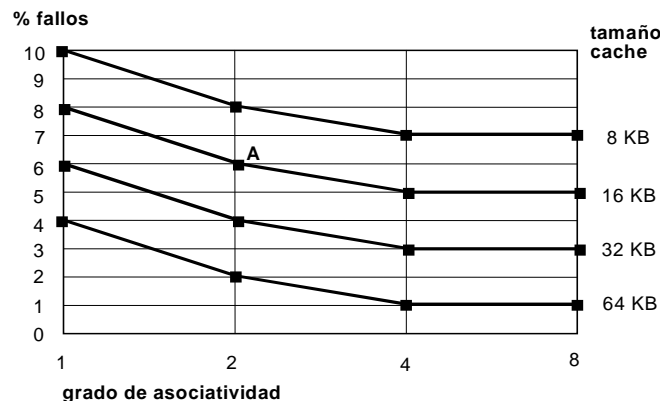
En la tabla que sigue la primera columna muestra tipos de algoritmos de emplazamiento en sistemas de memoria CACHE y la segunda características derivadas de los mismos. Emparejar unos y otras utilizando las letras y números de las cuadrículas.

a) totalmente asociativo	1) comparación con mínimo número de marcas
b) directo	2) varios bloques pueden contener un bloque de memoria principal
c) asociativo por conjuntos	3) un fallo implica transferencia de varios bloques
d) por sectores	4) mínima tasa de fallos

a4, b1, c2, d3

Explicación: El algoritmo totalmente asociativo implica una mínima tasa de fallos pues ofrece la máxima flexibilidad en el emplazamiento de los bloques en cache. El directo tiene el mínimo número de comparaciones y un bloque tendrá asociado siempre el mismo bloque en caché. En el asociativo por conjuntos, un bloque de cache puede ubicarse en un determinado conjunto que estará compuesto de varios bloques. Por último, en la agrupación por sectores, ante un fallo se transfieren todos los bloques de un sector.

En la figura que sigue se muestran las tasas de fallos obtenidas para diferentes diseños de memorias cache con tamaño de bloque de 32 bytes, en función del grado de asociatividad y del tamaño total de una cache unificada (instrucciones+datos), durante la ejecución de un cierto programa en un procesador. En función de los datos de la gráfica responder a la siguiente cuestión:



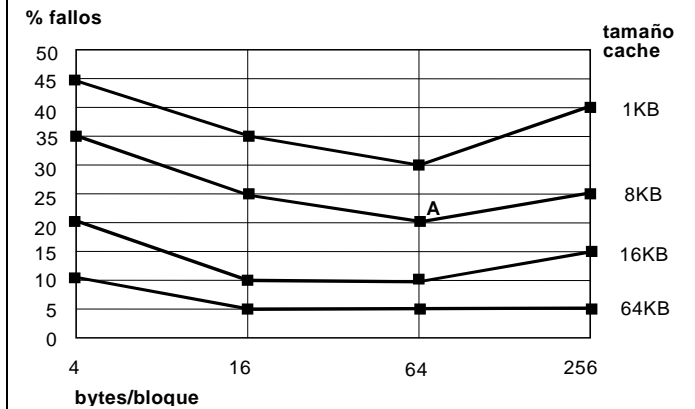
— Se desea saber la diferencia de fallos entre el diseño de cache unificada marcado como A y la alternativa de caches independientes de instrucciones y datos, sabiendo que:

- tasa de fallos cache instrucciones = 110% cache unificada
- tasa de fallos cache datos = 80% cache unificada
- % de accesos a instrucción en el programa = 75%
- % de accesos a datos en el programa = 25%

0,15 %

Explicación: La tasa de fallos de la unificada se obtiene de la gráfica, 6%. Aplicando la formula vista en la practica 3 $(0.75 \cdot 0.06 \cdot 1.10 + 0.25 \cdot 0.06 \cdot 0.8)$ se obtiene que para las caches independientes, la tasa de fallos conjunta es 6.15%. Por tanto, su diferencia es del 0,15%.

En la figura que sigue se muestran las tasas de fallos obtenidas para diferentes diseños de memorias cache en función del tamaño de bloque y el tamaño total de la cache, durante la ejecución de un cierto programa.



— En función de los datos de la gráfica anterior, ordenar de mayor a menor rendimiento los siguientes diseños:

- 1 ==> 4K bloques de 4 bytes
- 2 ==> 16 bloques de 64 bytes
- 3 ==> 512 bloques de 16 bytes
- 4 ==> 4 bloques de 256 bytes

1, 3, 2, 4

Explicación: Para cada diseño se calcula el tamaño total de cache multiplicando el número de bloques por el tamaño de cada bloque. Con los datos del tamaño total de cache y los bytes por bloque ya podemos ubicar cada diseño en la gráfica y ordenarlos en función de la tasa de fallos.

— ¿Cuál será el grado de asociatividad correspondiente a la gráfica si sabemos que el diseño marcado como “A” tiene un total de 32 conjuntos?

4

Explicación: La asociatividad se calcula dividiendo el número de bloques de la cache entre el número de conjuntos. El número de bloques se obtiene como el tamaño total de cache entre el tamaño de bloque.

— Tenemos un procesador de 8 bits con un sistema de memoria principal de 4GB y una memoria caché de 64Kbytes asociativa por conjuntos de dos bloques, con un tamaño de bloque de 16 bytes. Indica que número de bits de los campos de las direcciones de memoria según son interpretadas por la caché.

Marca: 17 Conjunto: 11 Palabra: 4

Explicación: El campo palabra es de 4 bits, dado que cada bloque tiene 16 palabras. Por otro lado, se obtiene el número de conjuntos, que es la división del número de bloques entre el número de bloques por conjunto (el número de bloques se obtiene del tamaño total de la cache entre el tamaño de bloque), y a partir de dicho número se deduce el nº de bits necesarios en el campo de conjunto, siendo el resto de bits para el campo marca. El total de bits de la dirección se conoce a partir del tamaño total de la cache $4GB = 2^{32}B$.

— Indica lo que falta para completar cada una de las siguientes afirmaciones sobre la memoria caché:

1. La tasa de fallos disminuye al ... el grado de asociatividad
2. El algoritmo de emplazamiento asociativo por conjuntos de un bloque coincide con el algoritmo de emplazamiento de ...

1: **augmentar** 2: **correspondencia directa**

Explicación: 1) Razonado en la práctica 3. 2) Conjuntos de 1 bloque implica Asociatividad = 1 (correspondencia directa).

— Tenemos un procesador de 8 bits con un sistema de memoria principal de 1GB y una memoria caché de 32KB con un tamaño de bloque de 16 bytes. Indica que número de bits de las direcciones de memoria corresponden al campo marca cuando se utiliza cada uno de los siguientes algoritmos de emplazamiento:

- A) totalmente asociativo
- B) correspondencia directa

A: 26 B: 15

Explicación: A) 30 bits para direccionar 1Gpalabras - 4 bits de campo de palabra. B) 30 bits - 11 bits para seleccionar los 2Kbloques de la cache - 4 bits de campo de palabra.

— En la tabla que sigue la primera columna muestra tendencias en ciertos parámetros de diseño de CACHE y la segunda características derivadas de las mismas. Realizar los cuatro emparejamientos mas coherentes de unas y otras utilizando todas las letras y números de las cuadrículas.

A) + tamaño de bloque	1) - tasa de fallos
B) - tamaño de bloque	2) +/- tasa de fallos
C) + asociatividad	3) - tiempo de acceso en acierto
D) - asociatividad	4) - penalización por fallo

A2, B4, C1, D3

Explicación: Razonado en la práctica 3

— A continuación se muestra la dirección emitida por un procesador con los campos necesarios (y su número de bits) para el funcionamiento del nivel de cache. Si dicho nivel tiene un total de 1 Kbloques, responder cuales son: A) el tamaño de bloque, B) el grado de asociatividad y C) el número total de bloques de memoria principal

10	9	5
----	---	---

A) 32 palabras B) 2 C) 512 Kbloques

Explicación:

A) Con 5 bits en el campo de bloque se pueden direccionar 32 palabras dentro de un bloque.

B) Con 9 bits en el campo de conjunto se pueden seleccionar 512 conjuntos y como el total de bloques en la cache es de 1024 bloques ello significa que hay dos bloques por conjunto (asociatividad 2).

C) El número de bloques de memoria principal será el que permitan los 19 bits de más peso de la dirección (512K).