



# Segmentación Avanzada

- Técnicas que se apoyan en la segmentación
- Procesadores Superescalares
  - ✓ Familias
  - ✓ Tipos
  - ✓ Ejemplos



## Técnicas que se apoyan en la segmentación

$$\text{Tiempo}_{\text{CPU}} = \text{NI} \times \text{CPI} \times T \Rightarrow$$

$$f_{\text{reloj}} \uparrow \Rightarrow$$

$$\text{CPI} \downarrow \Rightarrow$$

- Procesadores Supersegmentados

- ✓ aumento del número de etapas

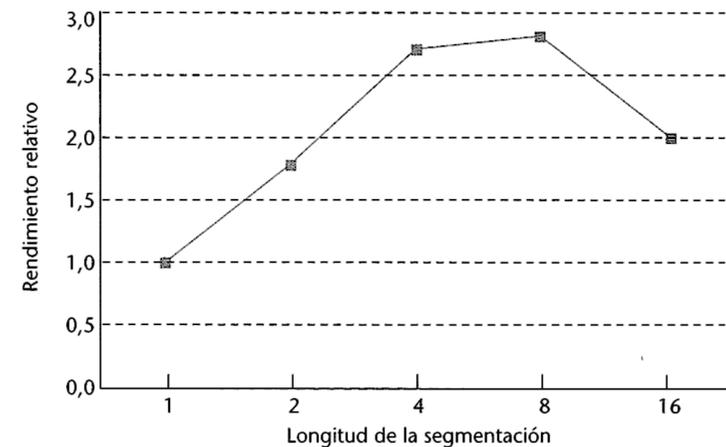
⇒

- Procesadores Superescalares

- ✓ se emite más de una instrucción por ciclo de reloj ⇒

- ✓ las instrucciones emitidas a la vez deberían ser independientes

- ✓ el hardware se encarga de la planificación (dinámica) de instrucciones





## Técnicas que se apoyan en la segmentación

- **Procesadores VLIW (*Very Long Instruction Word*)**
  - ✓ varias operaciones independientes en instrucciones muy largas ⇒
  - ✓ el compilador se encarga de la planificación (estática) de instrucciones
  - ✓ frecuencias de trabajo bajas para limitar el AB de memoria ⇒
  - ✓ Ejemplo:
- **Procesadores Vectoriales**
  - ✓ mejoran el rendimiento cuando se procesan vectores o matrices
  - ✓ combinan las ventajas de Supersegmentados y VLIW ⇒
- **Procesadores Multihilo**
  - ✓ ejecución concurrente de varios hilos en los cauces ⇒
  - ✓ mayor aprovechamiento de los recursos de los cauces
  - ✓ Ejemplo:
- **Multiprocesadores monochip**
  - ✓ varios procesadores en un mismo chip ⇒
  - ✓ procesadores más simples ⇒
  - ✓ ejecución en paralelo de los hilos de una aplicación o de varias aplicaciones
  - ✓ Ejemplo:



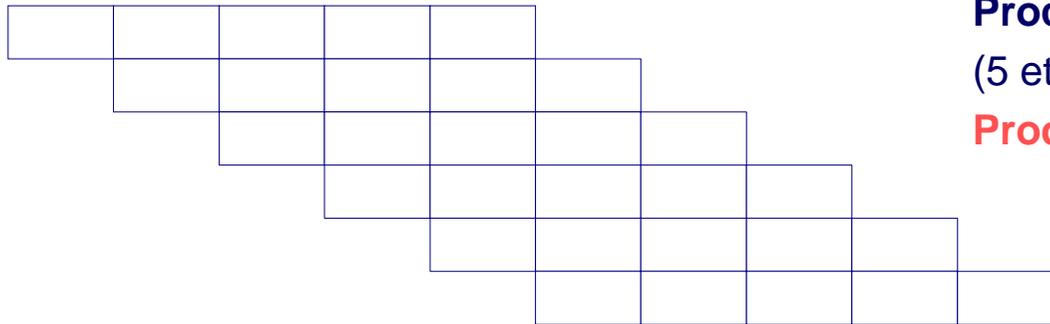
# Técnicas que se apoyan en la segmentación





# P. Superescalares frente a Supersegmentados

t

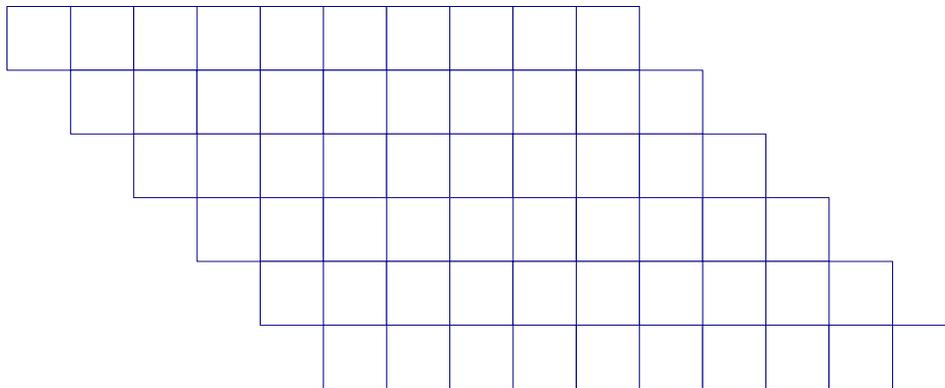


**Procesador Segmentado**

(5 etapas)

**Productividad:**

t/2

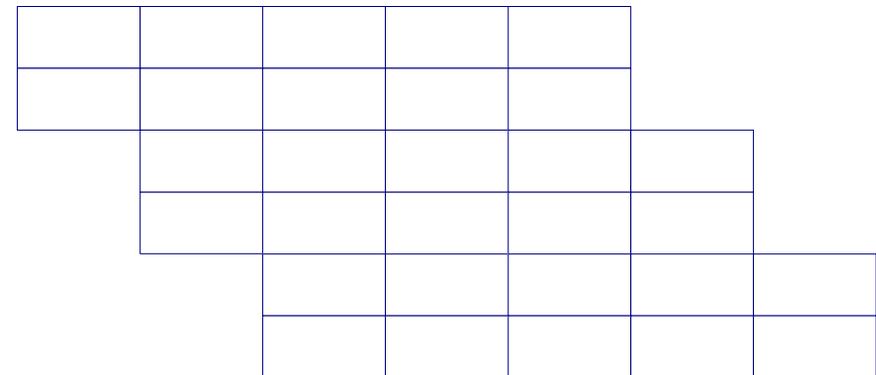


**Procesador Supersegmentado**

(10 etapas)

**Productividad:**

t



**Procesador Superescalar**

(orden 2 y 5 etapas en cada cauce)

**Productividad:**

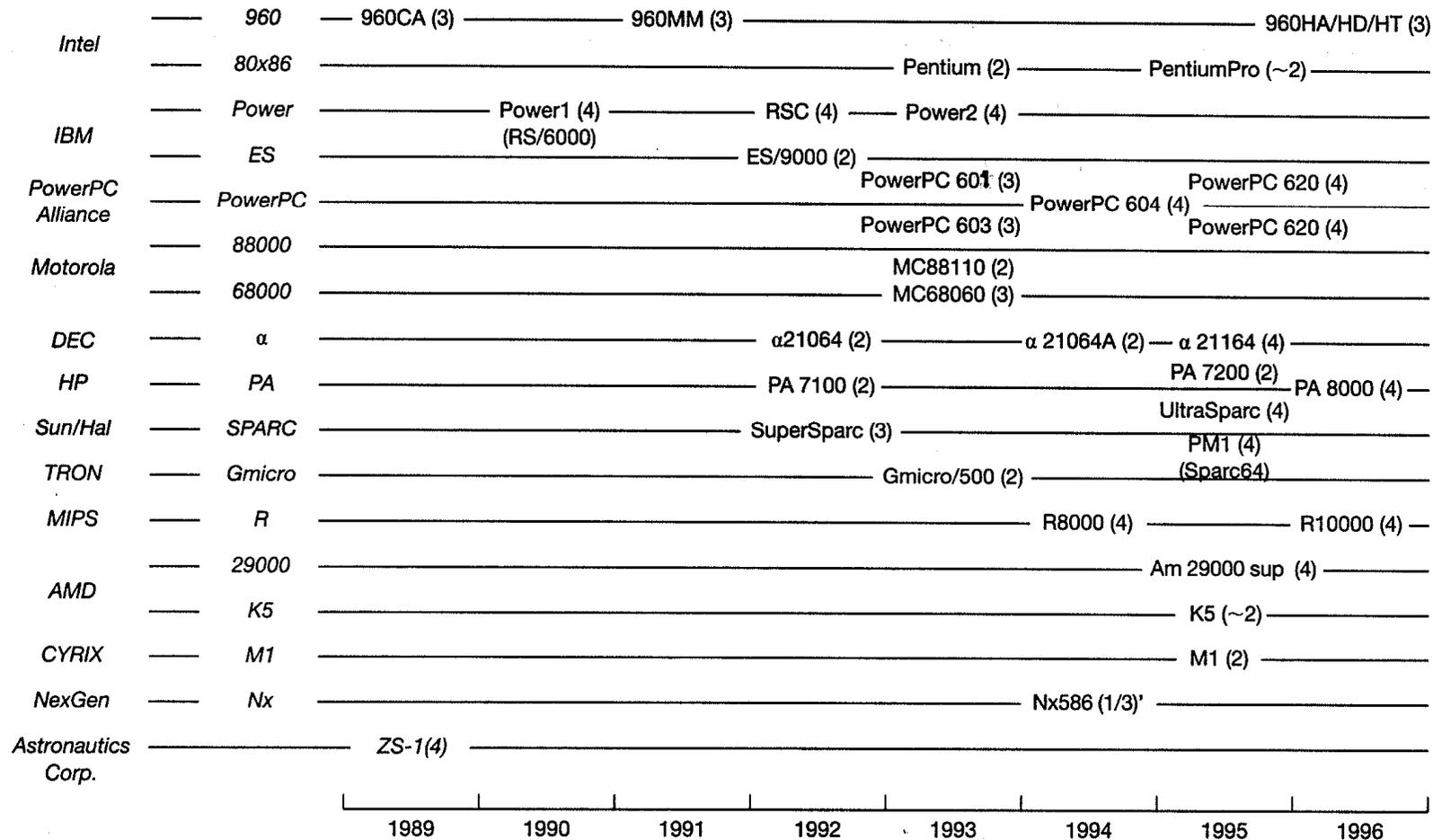


# Procesadores Superescalares

- Características
  - ✓ ejecución de varias instrucciones en paralelo
  - ✓ emisión de varias instrucciones por ciclo
  - ✓ productividad de mas de 1 instrucción por ciclo ⇒
  - ✓
- Requisitos
  - ✓ existencia de paralelismo en el código a nivel de instrucciones
  - ✓ existencia de paralelismo en el hardware (para poder explotar el anterior)
  - ⇒
- Limitaciones
  - ✓ RIESGOS: estructurales / dependencia de datos / control
  - ✓ mayor concurrencia ⇒ conflictos ↑ (ganancia real mas lejos de la ideal)
  - ✓ mayor influencia de los huecos de retardo (carga / salto)
  - ⇒



# Familias de procesadores superescalares





## Ejemplos de procesadores superescalares

Processor	System ship	Maximum current CR (MHz)	Power (W)	Transistors (M)	Window size	Rename registers (int/FP)	Issue rate: maximum/integer/FP/branch	Branch-predict buffer	Pipe stages (int/load)
MIPS R14000	2000	400	25	7	48	32/32	4/1/2/2/1	2K × 2	6
UltraSPARC III	2001	900	65	29	N.A.	None	4/1/4/3/1	16K × 2	14/15
Pentium III	2000	1000	30	24	40	Total: 40	3/2/2/1/1	512 entries	12/14
Pentium 4	2001	1700	64	42	126	Total: 128	3/2/3/2/1	4K × 2	22/24
HP PA 8600	2001	552	60	130	56	Total: 56	4/2/2/2/1	2K × 2	7/9
Alpha 21264B	2001	833	75	15	80	41/41	4/2/4/2/1	multilevel (see p. 207)	7/9
PowerPC 7400 (G4)	2000	450	5	7	5	6/6	3/1/2/1/1	512 × 2	4/5
AMD Athlon	2001	1330	76	37	72	36/36	3/2/3/3/1	4K × 9	9/11
IBM Power3-II	2000	450	36	23	32	16/24	4/2/2/2/2	2K × 2	7/8

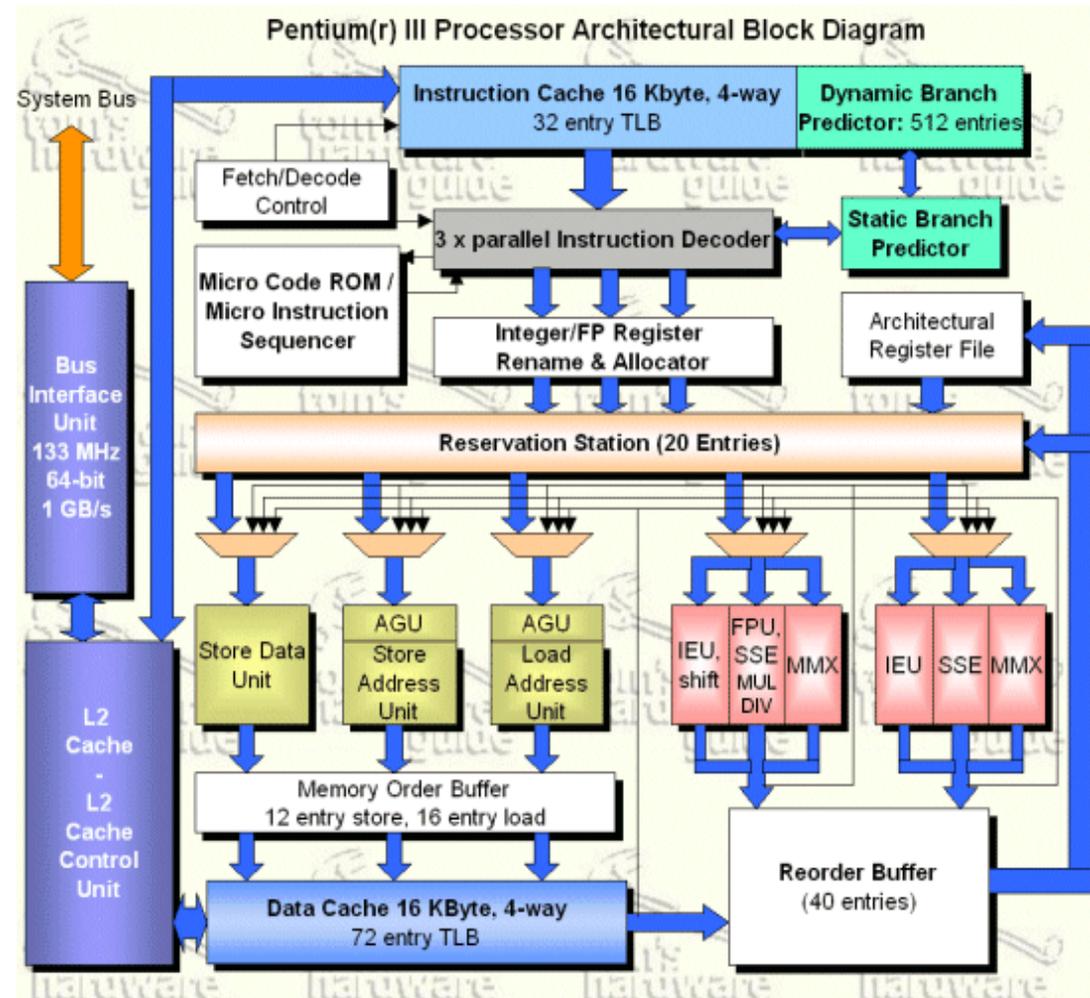
## Ejemplos de procesadores superescalares

### Pentium III (1999)

3 Inst. emitidas / ciclo

11 Unidades Funcionales

2 ALUs + 3 FPUs



## Ejemplos de procesadores superescalares

**AMD K7 Athlon (1999)**

3 Inst. emitidas / ciclo

9 Unidades Funcionales

3 ALUs + 3 FPUs

