



Multiprocesadores de Memoria Compartida

- Características de MMC
- Redes de Interconexión para MMC
- Programación de MMC
- Tipos de MMC



Características de MMC

- Prestaciones (MMC) = f (coste acceso a memoria común)
 - ✓ Características de la red de interconexión
 - ✓ Tráfico soportado por la red
- Características de la Red de Interconexión
 - ✓ Coste
 - ✓ Rendimiento
 - ✓ Tolerancia a fallos (fiabilidad)
- Reducción del tráfico soportado por la red
 - ✓ utilización de memoria *cache* en cada procesador
 - ✓ las escrituras de variables compartidas residentes en *cache* dan lugar a *problemas de coherencia del sistema de memoria*
 - ✓ se necesitan mecanismos que informen al resto de caches de los cambios



Características de MMC

- Red de Interconexión
 - ✓ acceso de cualquier procesador a cualquier módulo de memoria (MM)
- Problemas a minimizar:
 - ✓ cada módulo de memoria sirve una sola petición en cada instante
 - ✓ 2 o más peticiones simultáneas al mismo módulo → **CONFLICTOS**
 - ✓ 2 o más peticiones simultáneas a diferentes módulos:
 - caminos independientes en la RI → no hay problema
 - caminos con tramos comunes en la RI → **CONTENCIONES**

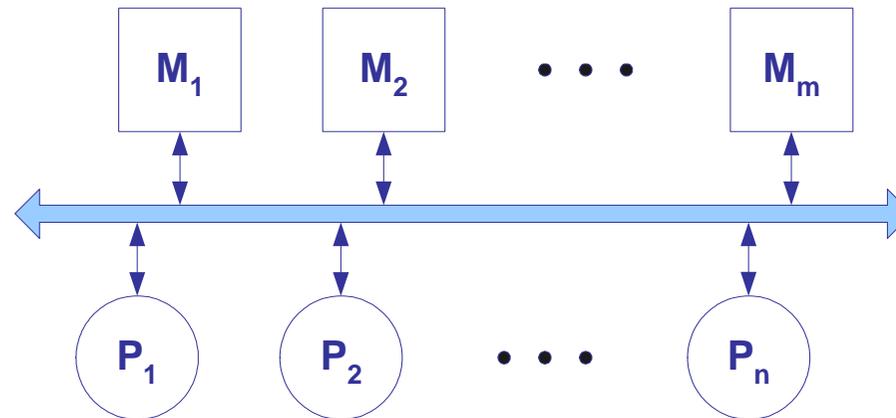
Frecuencia (CONFLICTOS) = f (distribución de datos en los MM)

Frecuencia (CONTENCIONES) = f (tipo de RI)

Redes de Interconexión para MMC

□ BUS COMÚN

- Estructura:



- Funcionamiento:

- ✓ contención en cuanto dos procesadores acceden a memoria a la vez
- ✓ se necesita un arbitro de bus

- Características:

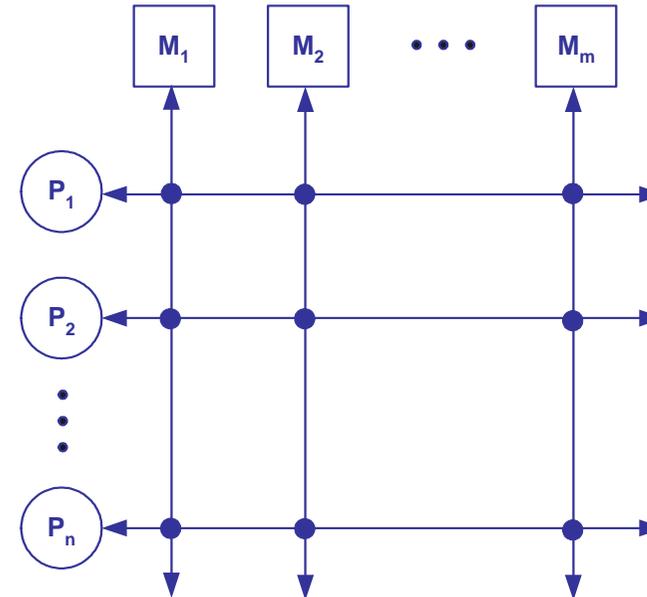
- ✓ Coste: **bajo**
- ✓ Contención: **alta** (el rendimiento baja mucho con el n^o de procesadores)
- ✓ Tolerancia a fallos: **nula** (si falla el bus cae todo el sistema)

Redes de Interconexión para MMC

❑ *CROSSBAR / SWITCH*

(Conmutador de barras cruzadas)

- Estructura:
- Funcionamiento:
 - ✓ bus independiente para cada módulo de memoria
 - ✓ peticiones a módulos diferentes servidas simultáneamente
- Características:
 - ✓ Coste: **alto** ($\sim n^0$ de conexiones entre procesadores y módulos: $n \times m$)
 - ✓ Contención: **nula**
 - ✓ Tolerancia a fallos: **alta** (si falla un bus, el resto puede seguir funcionando)

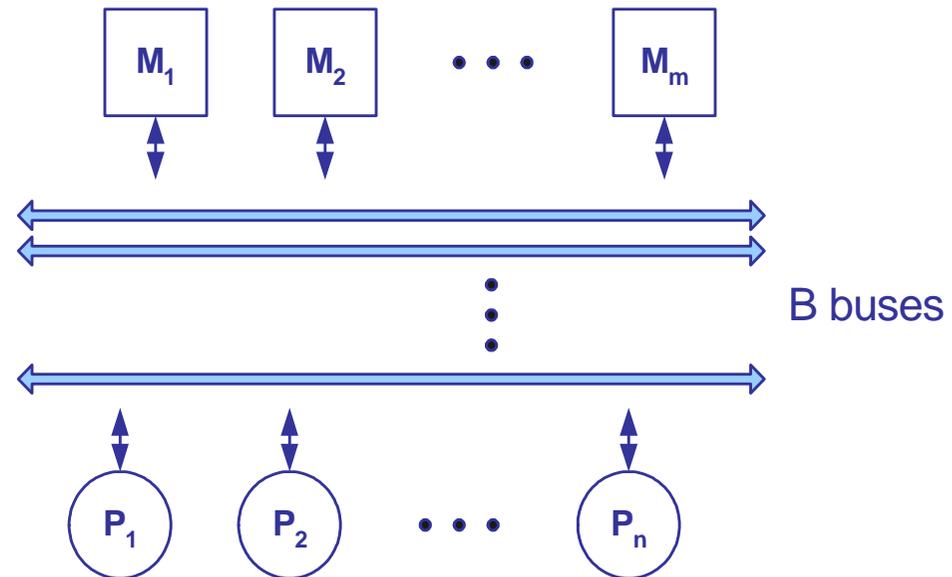


❑ Redes Multietapa (múltiples *switches* organizados en etapas / menor coste)

Redes de Interconexión para MMC

❑ MÚLTIPLES BUSES

- Estructura:



- Funcionamiento:

- ✓ $B=1 \rightarrow$ BUS COMÚN

- ✓ $B=m \rightarrow$ CROSSBAR

- ✓ Compromiso entre los dos tipos de redes anteriores

- Características:

- ✓ Coste: **intermedio**

- ✓ Contención: **intermedia**

- ✓ Tolerancia a fallos: **intermedia**

Programación de MMC

- Descomposición del programa en tareas (Tarea = Proceso / Hilo)

- ✓ Estática:

- Compilador (paralelización)
- Programador
 - Lib. funciones (*OpenMP, Pthreads*)
 - Leng. paralelos (*Parallel C, HPF*)

- ✓ Dinámica

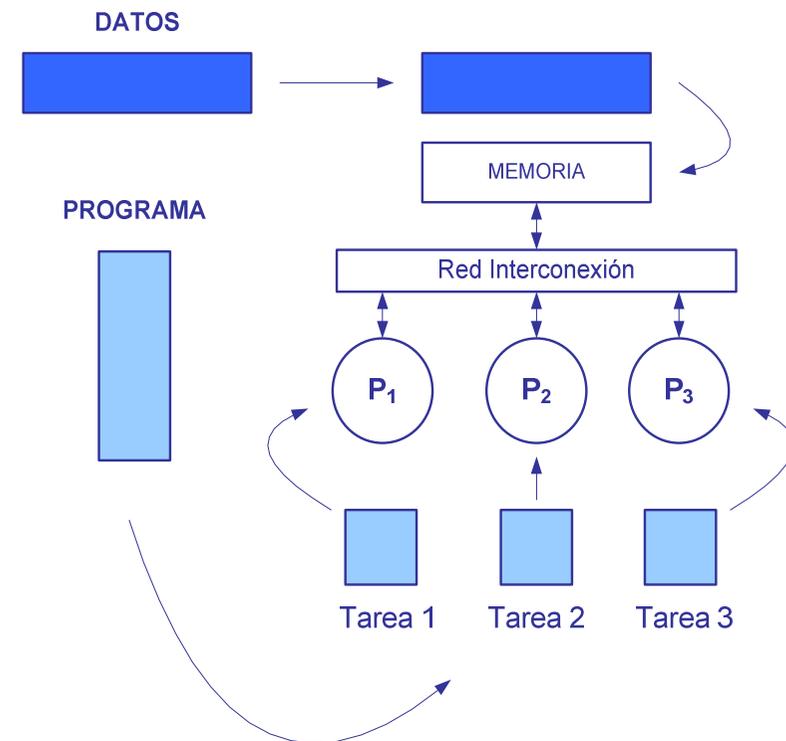
- gran sobrecarga en tiempo de ejecución

- Mecanismos de sincronización

- ✓ bajo nivel (soporte hardware)
- ✓ alto nivel (software) Ej. semáforos

- Planificación de tareas (SO)

- ✓ Definición: **donde y cuando se ejecutan**
- ✓ Objetivos: **mínimos conflictos/contenciones y máxima concurrencia**
- ✓ **Estática** (→ conocer los Tejec. de las tareas / desequilibrio de carga entre CPUs)
- ✓ **Dinámica** (→ sobrecarga en tiempo de ejecución / equilibrio de carga entre CPUs)





Tipos de MMC

- **SMP** (*Symmetric MultiProcessor*)
 - ✓ acceso simétrico a memoria desde los procesadores
- **PVP** (*Parallel Vector Processor*)
 - ✓ cada procesador es vectorial
- **DSM** (*Distributed Shared Memory*)
 - ✓ memoria distribuida entre los procesadores
 - ✓ memoria compartida por todos (imagen única)
 - ✓ acceso a memoria no simétrico
(mayor coste cuanto más lejana esté la memoria)