

— Después de analizar el diseño de un procesador segmentado, se ha detectado un cuello de botella en una de sus etapas que supone un 30% de tiempo adicional sobre el ideal (con cauce equilibrado) en dicha etapa. ¿Cuál será el aumento porcentual de productividad que podemos conseguir si equilibramos el cauce manteniendo el número de etapas?

30%

**Explicación:** La productividad que se puede llegar a conseguir es igual a la inversa del tiempo de ciclo. Equilibrar el cauce supone pasar de un ciclo  $1,3 \cdot T$  a un tiempo  $T$ , con lo que la relación entre productividades nueva y antigua será precisamente 1,3.

— En un procesador segmentado con 4 etapas los tiempos consumidos por las etapas son 1, 1.75, 1.5 y 1.25 nanosegundos. Además, el tiempo de comunicación de datos de una etapa a otra es de 0.25 nanosegundos. ¿Cuál será la máxima frecuencia de reloj utilizable en el procesador?

500 MHz.

**Explicación:** El tiempo de ciclo mínimo está determinado por la suma del tiempo de la etapa que hace de cuello de botella (1,75 ns.) y el tiempo de comunicación de datos entre etapas (0,25 ns.). La inversa de este tiempo total (2 ns. =  $2 \cdot 10^{-9}$  seg.) determina la máxima frecuencia utilizable.

— En una cpu segmentada de 5 etapas como la vista en clase y con cache unificada ¿Cuál será el CPI mínimo de las instrucciones que entran al cauce durante el cuarto ciclo de las de carga/almacenamiento?

2

**Explicación:** El CPI mínimo de una instrucción en condiciones ideales es 1. Si es de carga/almacenamiento quiere decir que durante su cuarto ciclo se produce el acceso a memoria para leer o escribir el correspondiente dato en memoria. Como además durante ese ciclo otra instrucción posterior estará en su ciclo de acceso a memoria para búsqueda de instrucción, salvo que haya más de un camino de acceso a memoria se producirá un conflicto de acceso entre ambas instrucciones, lo que dará lugar a la pérdida de un ciclo por parte de la última instrucción. Una posible solución es tener caches independientes de datos e instrucciones, ya que proporcionan caminos diferentes a datos y direcciones, pero en este caso la cache es unificada y por lo tanto el CPI mínimo de la última instrucción será 2, el ideal más el ciclo perdido.

— ¿Cuál será el número total de ciclos debidos a problemas estructurales en la ejecución de un programa de 1600 instrucciones, donde las sumas flotantes (unidad de suma NO segmentada y con latencia de 2 ciclos) representan el 40% del total de instrucciones, si además sabemos que el 30% de las sumas flotantes van inmediatamente precedidas de otras sumas flotantes?

192

**Explicación:** Al no estar segmentada la unidad de suma flotante y consumir 2 ciclos, dos sumas flotantes consecutivas implican un ciclo perdido. Así pues, en la situación planteada el número total de ciclos perdidos será:

$$1600 * (0,4 * 0,3) * 1 = 192$$

— Se tiene un procesador segmentado con hueco de retardo de salto de 2 ciclos que ejecuta un programa con un 15% de instrucciones de control. ¿Qué ganancia mínima podemos conseguir mediante la estrategia de salto retardado, si gracias a ella se rellenan un 60% de los huecos con instrucciones anteriores al salto? (la ganancia ha de ser relativa al caso de asumir los riesgos de control)

1.161

**Explicación:** La estrategia de salto retardado "desde antes" implica que todos los huecos rellenos son aprovechados, con lo que en este caso el porcentaje de saltos que puede penalizar es del 40%. Tendremos entonces que:

$$\text{CPI max (salto retardado)} = 1 + (0,15 * 0,4) * 2 = 1,12$$

$$\text{CPI (asumiendo riesgos)} = 1 + 0,15 * 2 = 1,3$$

$$G \text{ min} = 1,3 / 1,12 = 1,161$$

— ¿Cuál será el CPI real de un procesador segmentado de 5 etapas, CPI ideal igual a 1 y hueco de retardo de salto de 1 ciclo, al ejecutar un programa con un 25% de instrucciones de control y 60% de saltos NO efectivos, si el compilador sigue una estrategia de planificación que rellena el hueco con instrucciones siguientes a la de control?

1.1

**Explicación:** Si se rellena el hueco con instrucciones siguientes a la de control, la penalización tendrá lugar cuando se produzca el salto, es decir, el 40% de las veces. Así pues, el CPI real será:

$$\text{CPI (salto retardado)} = 1 + (0,25 * 0,4) * 1 = 1,1$$

- ¿Cuál es el grado de superescalabilidad que debe tener un procesador con cauce de 5 etapas, para que su rendimiento ideal sea equivalente al de un procesador supersegmentado con cauce de 20 etapas?

4

**Explicación:** En condiciones ideales resulta equivalente, a efectos de rendimiento, cuadruplicar el número de etapas (pasando de 5 a 20) a cuadruplicar el número de cauces escalares.

- ¿Cuál será el CPI mínimo alcanzable por un procesador superescalar de orden 2 si las características del código ejecutado por el mismo solo permiten la emisión de 2 instrucciones de forma simultanea para el 50% de dicho código?

0.75

**Explicación:** Si solo se consigue emitir 2 instrucciones simultaneas para el 50% del código, ello quiere decir que para la mitad de las instrucciones el CPI mínimo será 0,5, mientras que para el resto el CPI mínimo será 1. Así pues, en promedio, el CPI mínimo será 0,75.

- ¿Cuál será el CPI real de un procesador segmentado de 5 etapas, CPI ideal igual a 1 y hueco de retardo de salto de 1 ciclo, al ejecutar un programa con un 20% de instrucciones de control y 40% de saltos efectivos, si se sigue la estrategia de predicción de ...

- A) 'salto efectivo'?  
B) 'salto no efectivo'?

A: 1,2 B: 1,08

**Explicación:** En el caso de apostar por el salto todas las instrucciones de control penalizan 1 ciclo, mientras que en el caso de apostar por el no salto solo el 40% de las instrucciones de control (las que saltan) penalizan ese ciclo.

- ¿Cuál será el CPI mínimo alcanzable por un procesador superescalar de orden 3, si las características del código ejecutado por el mismo ...

- A) permiten la emisión de 3 instrucciones de forma simultanea durante el 30% de los ciclos de ejecución y la emisión de 2 instrucciones simultaneas durante el 40% de los mismos?  
B) permiten la emisión de 3 intrucciones de forma simultanea durante el 100% de los ciclos?

A: 0,6 B: 0,333

**Explicación:** Para calcular de CPI mínimo alcanzable han de ponderarse los CPIs mínimos alcanzables en cada caso planteado con los porcentajes de tiempo correspondientes. Cuando se emiten 3 instrucciones simultaneas el CPI mínimo alcanzable (ideal) es 1/3, cuando se emiten 2 es 1/2 y el resto del tiempo se supone que se emite solo 1 y el CPI mínimo es también 1.

- ¿Cuál será el CPI real de un procesador segmentado de 5 etapas, CPI ideal igual a 1 y hueco de retardo de salto de 2 ciclos, al ejecutar un programa con un 30%de instrucciones de control y 70% de saltos efectivos, si el compilador sigue una estrategia de salto retardado que consigue rellenar todos los huecos con instrucciones ...

- A) anteriores al salto?  
B) siguientes a la de control?  
C) a partir de la dirección de salto?

Indicar el CPI para cada uno de los tres casos.

A: 1 B: 1,42 C: 1,18

**Explicación:** Si todos los huecos se rellenan con instrucciones anteriores al salto no habrá penalización, ya que se aprovechan siempre. Si se rellenan con instrucciones siguientes a la de control, entonces penalizarán las instrucciones que den lugar a salto (70 %). Por último, si se rellenan con instrucciones siguientes a partir de la dirección de salto, penalizarán las instrucciones que NO den lugar a salto (30 %).

— Completa la tabla que sigue con valores ideales, en función de las características de los procesadores reseñadas.

Subsegmentado (5 etapas)	100 MHz.	CPI= <b>1</b>
Superescalar (6 x 5 etapas)	500 MHz.	CPI= <b>0,167</b>
Supersegmentado (10 etapas)	200 MHz.	CPI= <b>1</b>
Superescalar (8 x 10 etapas)	800 MHz.	CPI= <b>0,125</b>

**Explicación:** El CPI ideal de un procesador segmentado es 1 independientemente de la frecuencia y del número de etapas. El CPI ideal de un procesador superescalar es  $1/\text{orden}$  independientemente de la frecuencia y del número de etapas.