

— Si  $AB_{cpu}$ ,  $AB_{es}$  y  $AB_{mem}$  son los anchos de banda de cpu, entrada/salida y memoria respectivamente, ¿Cuál es la relación ideal que sería deseable cumplir en un sistema monoprocesador de altas prestaciones?

**$AB_{mem} = AB_{cpu} + AB_{es}$**

**Explicación:** Es necesario que la memoria pueda dar respuesta a todas las peticiones que le llegan, tanto del procesador como del sistema de entrada/salida.

— Considerando únicamente el factor memoria como responsable fundamental del rendimiento máximo de un computador con palabra de datos de 32 bit. ¿Que ancho de banda de memoria (en Bytes/seg.) necesitamos si queremos ejecutar una secuencia de código con una media de 4 accesos a memoria de tipo palabra por instrucción con un rendimiento de 10 MFLOPS?

**$160 \cdot 10^6$  Bytes/seg.**

**Explicación:**

$$10 \cdot 10^6 = 1 / T_{ejec.} = 1 / 4 \cdot T_{acceso}$$

$$\rightarrow T_{acceso} = 1/40 \cdot 10^6$$

$$1 \text{ palabra} = 32 \text{ bit} = 4 \text{ Bytes}$$

$$AB = 4 / T_{acceso} = 160 \cdot 10^6 \text{ Bytes/seg.}$$

— Se tiene un sistema de memoria principal organizado con 8 bancos entrelazados a nivel de palabra de 32 bit. Si la anchura del bus de memoria es de 1 palabra y los tiempos de envío de dirección, acceso y envío de datos son 1, 8 y 1 ciclos respectivamente ¿Cuál será la ganancia de ancho de banda que se puede obtener con el entrelazamiento en la lectura de un bloque de 16 palabras consecutivas desde memoria?

**5.2**

**Explicación:**

Sin entrelazado  $\rightarrow$  acceso secuencial a las 16 palabras

$$\text{Tiempo sin entrelazado} = 1 + (16 \cdot 8) + 1 = 130 \text{ ciclos}$$

Con entrelazado  $\rightarrow$  secuencia de dos accesos, cada uno de ellos a 8 palabras en paralelo

$$\text{Tiempo del primer acceso} = 1 + 8 + 8 = 17 \text{ ciclos}$$

$$\text{Tiempo adicional para el segundo acceso} = 8 \text{ ciclos}$$

$$\text{Tiempo total con entrelazado} = 17 + 8 = 25 \text{ ciclos}$$

$$G = 130 / 25 = 5.2$$

— Tenemos un sistema de memoria principal organizado con memoria a nivel de palabra de 32 bit. Si la anchura del bus de memoria es de 1 palabra, los tiempos de envío de dirección, acceso y envío de datos son respectivamente 1, 16 y 1 y el tamaño de bloque de la caché es de 16 palabras,

A) ¿cuál será el tiempo de servicio a un fallo de caché si aumentamos la anchura de memoria en un factor 8?

B) ¿cuál será la ganancia de ancho de banda que se obtiene en el servicio a un fallo de caché con la estrategia anterior?

**A: 34 ciclos B: 7,588**

**Explicación:**

A) un acceso a memoria principal implica la lectura de 8 palabras y por tanto para cargar el bloque de caché son necesarios tan solo dos accesos secuenciales a memoria principal.

B) habrá que comparar el resultado anterior con el obtenido en caso de memoria de anchura normal (1 palabra), donde serán necesarios 16 accesos secuenciales a memoria principal para recargar la caché.

— Tenemos un sistema de memoria principal organizado con 8 bancos y palabra de 32 bit. Si la anchura del bus de memoria es de 1 palabra, los tiempos de envío de dirección, acceso y envío de datos son respectivamente 1, 8 y 1 y el tamaño de bloque de caché 32 palabras,

A) ¿cuál será el tiempo de servicio a un fallo de cache si se entrelazan los bancos a nivel de palabra?

B) ¿cuál será la ganancia de ancho de banda que se obtiene en el servicio a un fallo de cache con la estrategia anterior?

**A: 41 ciclos B: 6,293**

**Explicación:**

A) para cargar un bloque de cache son necesarios 4 accesos secuenciales a grupos de 8 palabras en memoria principal, implicando el acceso a cada grupo acceso en paralelo a los 8 bancos disponibles.

B) habrá que comparar el resultado anterior con el obtenido en caso de memoria NO entrelazada, donde serán necesarios 32 accesos secuenciales a memoria principal para recargar la cache.