

# Arquitectura de Computadores

Juan Carlos Granda Candás  
Jose María López López  
Manuel García Vázquez  
Julio Molleda Meré  
Rubén Usamentiaga Fernández  
Joaquín Entrialgo Castaño

# Índice general

<b>1</b>	<b>Introducción</b>	<b>3</b>
1.1	El computador . . . . .	3
1.1.1	Estructura básica del computador . . . . .	3
1.1.2	Máquina multi-nivel . . . . .	5
1.1.3	Principios básicos de diseño . . . . .	7
1.2	Arquitectura del juego de instrucciones . . . . .	8
1.3	Microarquitectura . . . . .	11
1.4	Rendimiento . . . . .	11
1.4.1	Concepto de rendimiento . . . . .	11
1.4.2	Ley de Amdahl . . . . .	14
1.4.3	Rendimiento de la CPU . . . . .	16
1.4.4	Benchmarks . . . . .	19
<b>2</b>	<b>La CPU</b>	<b>23</b>
2.1	La arquitectura MIPS64 . . . . .	23
2.1.1	Tipos de datos . . . . .	24
2.1.2	Juego de instrucciones . . . . .	27
2.2	Microarquitectura monociclo . . . . .	30
2.2.1	Unidades funcionales . . . . .	31
2.2.2	Camino de datos monociclo . . . . .	33
2.2.3	Unidad de control monociclo . . . . .	40
2.3	Microarquitectura segmentada . . . . .	45
2.3.1	Riesgos de la segmentación . . . . .	53
2.3.2	Operaciones multiciclo . . . . .	62
2.3.3	Gestión de excepciones . . . . .	64
2.3.4	Reducción de detenciones por riesgos de datos . . . . .	66
2.3.5	Reducción de detenciones por riesgos de control . . . . .	78
2.3.6	Profundidad de la segmentación . . . . .	89
2.4	Emisión múltiple de instrucciones . . . . .	90
2.4.1	Paralelismo a nivel de instrucción . . . . .	93

2.4.2	Microarquitectura superescalar . . . . .	94
2.5	La ley de Moore . . . . .	100
2.6	CPU multihilo . . . . .	104
2.6.1	Taxonomía de Flynn . . . . .	104
2.6.2	Paralelismo a nivel de hilo de ejecución . . . . .	106
2.6.3	Procesadores multinúcleo . . . . .	106
2.7	Soporte a los SO multitarea . . . . .	108
2.7.1	Introducción a los SO multitarea . . . . .	108
2.7.2	Mecanismos de soporte a los SO . . . . .	113
2.7.3	Soporte a los SO multitarea en MIPS64 . . . . .	114
2.8	Soporte a la virtualización . . . . .	116
2.8.1	Introducción a la virtualización . . . . .	116
2.8.2	Soporte a la virtualización en la arquitectura MIPS64 . . . . .	119
<b>3</b>	<b>La jerarquía de memoria</b>	<b>121</b>
3.1	Introducción . . . . .	121
3.2	Concepto de jerarquía de memoria . . . . .	125
3.3	La memoria caché . . . . .	130
3.3.1	Conceptos preliminares . . . . .	130
3.3.2	Estrategias de correspondencia . . . . .	131
3.3.3	Estrategias de reemplazo . . . . .	140
3.3.4	Estrategias de escritura . . . . .	143
3.3.5	Organización de la memoria caché . . . . .	147
3.3.6	Coherencia de caché en multiprocesadores . . . . .	152
3.3.7	Memoria caché en el PC . . . . .	155
3.4	La memoria virtual . . . . .	156
3.4.1	Introducción . . . . .	157
3.4.2	La memoria virtual paginada . . . . .	159
3.4.3	El TLB . . . . .	171
3.5	Soporte a la virtualización . . . . .	178
<b>4</b>	<b>El sistema de E/S</b>	<b>181</b>
4.1	Interfaces de E/S . . . . .	182
4.1.1	Ubicación en los espacios de direcciones . . . . .	182
4.1.2	Protección . . . . .	183
4.1.3	Técnicas de E/S . . . . .	184
4.2	Sistema de interconexión . . . . .	189
4.2.1	Topologías . . . . .	189
4.2.2	Características . . . . .	193
4.2.3	PCI Express . . . . .	195
4.3	Periféricos . . . . .	197

4.3.1	Introducción . . . . .	197
4.3.2	Disco duro . . . . .	198
4.3.3	Unidades de estado sólido . . . . .	202
4.3.4	Comparativa entre discos duros y unidades de estado sólido . .	203
4.4	Virtualización de la E/S . . . . .	204
<b>A</b>	<b>Juego de instrucciones del simulador WinMIPS64</b>	<b>207</b>