

ARQUITECTURA DE COMPUTADORES

Juan Carlos Granda Candás
José María López López
Manuel García Vázquez
Julio Molleda Meré
Rubén Usamentiaga Fernández
Joaquín Entrialgo Castaño
Francisco Javier de la Calle Herrero



Universidad de Oviedo
Universidá d'Uviéu
University of Oviedo

© 2019 Ediciones de la Universidad de Oviedo

© Los autores

2.^a edición corregida

Ediciones de la Universidad de Oviedo

Servicio de Publicaciones de la Universidad de Oviedo

Campus de Humanidades. Edificio de Servicios. 33011 Oviedo (Asturias)

Tel. 985 10 95 03 Fax 985 10 95 07

[http: www.uniovi.es/publicaciones](http://www.uniovi.es/publicaciones)

servipub@uniovi.es

Esta obra ha sido avalada por el Departamento de Informática de acuerdo con lo establecido en el artículo 8 f, del Reglamento del Servicio de Publicaciones de la Universidad de Oviedo.

I.S.B.N.: 978-84-17445-49-2

DL AS 2775-2019

Imprime: Servicio de Publicaciones. Universidad de Oviedo

Todos los derechos reservados. De conformidad con lo dispuesto en la legislación vigente, podrán ser castigados con penas de multa y privación de libertad quienes reproduzcan o plagien, en todo o en parte, una obra literaria, artística o científica, fijada en cualquier tipo y soporte, sin la preceptiva autorización.

Índice general

1	Introducción	3
1.1	El computador	3
1.1.1	Estructura básica	3
1.1.2	Máquina multi-nivel	5
1.1.3	Principios básicos de diseño	7
1.2	Arquitectura del juego de instrucciones	8
1.3	Microarquitectura	11
1.4	Rendimiento	11
1.4.1	Concepto de rendimiento	11
1.4.2	Ley de Amdahl	14
1.4.3	Rendimiento de la CPU	16
1.4.4	Benchmarks	19
2	La CPU	23
2.1	Arquitectura MIPS64	23
2.1.1	Tipos de datos	24
2.1.2	Juego de instrucciones	27
2.2	Microarquitectura monociclo	30
2.2.1	Unidades funcionales	31
2.2.2	Camino de datos monociclo	33
2.2.3	Deficiencias	40
2.3	Microarquitectura segmentada	41
2.3.1	Camino de datos segmentado	45
2.3.2	Riesgos de la segmentación	49
2.3.3	Operaciones multiciclo	53
2.3.4	Gestión de excepciones	57
2.3.5	Reducción de detenciones por dependencias de datos	59
2.3.6	Reducción de detenciones por riesgos de control	71
2.3.7	Profundidad de la segmentación	79
2.4	Emisión múltiple de instrucciones	80

2.4.1	Paralelismo a nivel de instrucción	83
2.4.2	Microarquitectura superescalar	84
2.5	Ley de Moore	90
2.6	CPU multihilo	94
2.6.1	Taxonomía de Flynn	94
2.6.2	Paralelismo a nivel de hilo de ejecución	96
2.6.3	Procesadores multinúcleo	96
2.7	Soporte a los SO multitarea	98
2.7.1	Introducción a los SO multitarea	98
2.7.2	Mecanismos de soporte a los SO	103
2.7.3	Soporte a los SO multitarea en MIPS64	104
2.8	Soporte a la virtualización	106
2.8.1	Introducción a la virtualización	106
2.8.2	Soporte a la virtualización en la arquitectura x86	108
3	La jerarquía de memoria	111
3.1	Introducción	111
3.2	Concepto de jerarquía de memoria	114
3.3	La memoria caché	120
3.3.1	Conceptos preliminares	120
3.3.2	Estrategias de correspondencia	121
3.3.3	Estrategias de reemplazo	130
3.3.4	Estrategias de escritura	133
3.3.5	Organización de la memoria caché	133
3.3.6	Coherencia de caché	137
3.3.7	Memoria caché en el PC	145
3.4	La memoria virtual	146
3.4.1	Introducción	147
3.4.2	La memoria virtual paginada	149
3.4.3	El TLB	161
3.5	Soporte a la virtualización	168
4	El sistema de E/S	171
4.1	Interfaces de E/S	172
4.1.1	Ubicación en los espacios de direcciones	172
4.1.2	Protección	173
4.1.3	Técnicas de E/S	174
4.2	Sistema de interconexión	179
4.2.1	Topologías	179
4.2.2	Características	183
4.2.3	PCI Express (PCIe)	185

4.3	Periféricos	187
4.3.1	Introducción	188
4.3.2	Discos duros	188
4.3.3	Unidades de estado sólido	192
4.3.4	Comparativa entre discos duros y unidades de estado sólido . .	193
4.4	Virtualización de la E/S	194
A	Juego de instrucciones del simulador WinMIPS64	199
B	La unidad de control	205
B.1	Unidad de control monociclo	205
B.2	Unidad de control segmentada	209
	Bibliografía	213