

COMPUTER ARCHITECTURE

Juan Carlos Granda Candás
José María López López
Manuel García Vázquez
Julio Molleda Meré
Rubén Usamentiaga Fernández
Joaquín Entrialgo Castaño
Francisco Javier de la Calle Herrero



Universidad de Oviedo
Universidá d'Uviéu
University of Oviedo

© 2019 Ediciones de la Universidad de Oviedo
© Los autores

Ediciones de la Universidad de Oviedo
Servicio de Publicaciones de la Universidad de Oviedo
Campus de Humanidades. Edificio de Servicios. 33011 Oviedo (Asturias)
Tel. 985 10 95 03 Fax 985 10 95 07
[http: www.uniovi.es/publicaciones](http://www.uniovi.es/publicaciones)
servipub@uniovi.es

Esta obra ha sido avalada por el Departamento de Informática de acuerdo con lo establecido en el artículo 8 f, del Reglamento del Servicio de Publicaciones de la Universidad de Oviedo.

I.S.B.N.: 978-84-17445-50-8
DL AS 2776-2019

Imprime: Servicio de Publicaciones. Universidad de Oviedo

Todos los derechos reservados. De conformidad con lo dispuesto en la legislación vigente, podrán ser castigados con penas de multa y privación de libertad quienes reproduzcan o plagien, en todo o en parte, una obra literaria, artística o científica, fijada en cualquier tipo y soporte, sin la preceptiva autorización.

Contents

1	Introduction	3
1.1	The computer	3
1.1.1	Basic structure	3
1.1.2	Multi-level machine	5
1.1.3	Basic design principles	6
1.2	Instruction set architecture	8
1.3	Microarchitecture	10
1.4	Performance	10
1.4.1	Concept of performance	11
1.4.2	Amdahl's law	13
1.4.3	CPU performance	15
1.4.4	Benchmarks	18
2	The CPU	21
2.1	MIPS64 architecture	21
2.1.1	Data types	22
2.1.2	Instruction set	25
2.2	Single-cycle microarchitecture	28
2.2.1	Functional units	29
2.2.2	Single-cycle datapath	30
2.2.3	Deficiencies	38
2.3	Pipelined microarchitecture	38
2.3.1	Pipelined datapath	42
2.3.2	Pipeline hazards	44
2.3.3	Multi-cycle operations	50
2.3.4	Exception handling	52
2.3.5	Reducing data hazard stalls	54
2.3.6	Reducing control hazard stalls	64
2.3.7	Pipeline depth	72
2.4	Multiple instruction issue	73

2.4.1	Instruction level parallelism	75
2.4.2	Superscalar microarchitecture	76
2.5	Moore's law	82
2.6	Multi-threaded CPU	86
2.6.1	Flynn's taxonomy	86
2.6.2	Thread level parallelism	87
2.6.3	Multicore processors	88
2.7	Multitasking OS support	89
2.7.1	Introduction to multitasking OS	90
2.7.2	Support for multitasking OSs	94
2.7.3	Support for multitasking OSs in MIPS64	95
2.8	Virtualization support	97
2.8.1	Introduction to virtualization	97
2.8.2	Virtualization support in the x86 architecture	99
3	The memory hierarchy	101
3.1	Introduction	101
3.2	Memory hierarchy	104
3.3	Cache memory	109
3.3.1	Preliminary concepts	109
3.3.2	Placement policies	110
3.3.3	Replacement policies	118
3.3.4	Write policies	121
3.3.5	Cache memory organization	122
3.3.6	Cache coherence	126
3.3.7	Cache memory in the PC	133
3.4	Virtual memory	134
3.4.1	Introduction	134
3.4.2	Paged virtual memory	136
3.4.3	The TLB	149
3.5	Virtualization support	154
4	The input/output system	157
4.1	I/O interfaces	158
4.1.1	Mapping in address spaces	158
4.1.2	Protection	159
4.1.3	I/O techniques	160
4.2	The interconnection system	164
4.2.1	Topologies	165
4.2.2	Characteristics	168
4.2.3	PCI Express (PCIe)	170

4.3	Peripheral devices	172
4.3.1	Introduction	172
4.3.2	Hard disk drive	173
4.3.3	Solid state drive	177
4.3.4	Comparison between hard disk drives and solid state drives . .	178
4.4	I/O virtualization	179
A	WinMIPS64 instruction set	183
B	The control unit	189
B.1	Single-cycle control unit	189
B.2	Pipelined control unit	192
	Bibliography	197